

(1)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-229566

(P2003-229566A)

(43)公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl. ⁷	識別記号	F I	マーク〇 (参考)
H 01 L 29/47		H 01 L 29/78	6 5 5 A 4 M 1 0 4
21/338			6 5 7 B 5 F 0 3 8
21/822		29/48	F 5 F 0 4 8
21/8236		29/80	P 5 F 1 0 2
27/04			E

審査請求 未請求 請求項の数28 OL (全 24 頁) 最終頁に続く

(21)出願番号	特願2002-247518(P2002-247518)	(71)出願人	000005290 古河電気工業株式会社 東京都千代田区丸の内2丁目6番1号
(22)出願日	平成14年8月27日 (2002.8.27)	(72)発明者	吉田 清輝 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内
(31)優先権主張番号	特願2001-361184(P2001-361184)	(74)代理人	100090022 弁理士 長門 侃二 (外1名)
(32)優先日	平成13年11月27日 (2001.11.27)		
(33)優先権主張国	日本 (JP)		

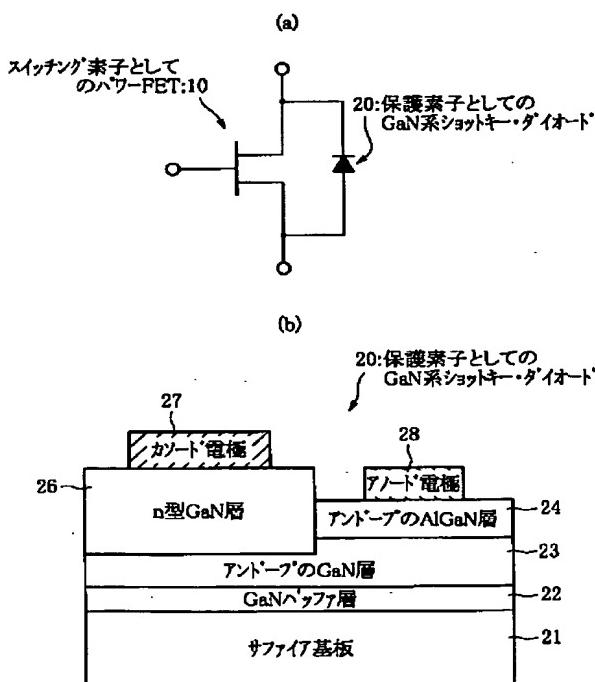
最終頁に続く

(54)【発明の名称】 電力変換装置及びそれに用いるGaN系半導体装置

(57)【要約】

【課題】 安定動作を保証する高い信頼性と高い効率を備えた電力変換装置及びそれを実現するために用いる構成部品としてのGaN系半導体装置を提供することを目的とする。

【解決手段】 スイッチング素子としてのパワーFET 10のソース・ドレン間に、保護素子としてのGaN系ショットキーダイオード 20が接続されている。このGaN系ショットキーダイオード 20では、アンドープのGaN層23上にアンドープのAlGaN層24が形成されている。AlGaN層24に隣接して、n型GaN層26がGaN層23上に形成されている。GaN層23とAlGaN層24とのヘテロ接合界面近傍に2次元電子ガスが発生している。n型GaN層26上にオーム接觸して、カソード電極27が形成され、AlGaN層24上にショットキー接觸して、アノード電極28が形成されている。



【特許請求の範囲】

【請求項1】 電力変換回路を有する電力変換装置であつて、前記電力変換回路を構成するスイッチング素子の保護素子として、GaN系ショットキーダイオード又はGaN系電界効果トランジスタが用いられていることを特徴とする電力変換装置。

【請求項2】 前記スイッチング素子は、電界効果トランジスタ又は絶縁ゲート型バイポーラトランジスタである、請求項1記載の電力変換装置。

【請求項3】 前記電界効果トランジスタは、GaN系電界効果トランジスタであり、前記GaN系電界効果トランジスタに、前記GaN系ショットキーダイオードが内蔵されている、請求項2記載の電力変換装置。

【請求項4】 前記電力変換回路は、インバータ回路又はコンバータ回路である、請求項1記載の電力変換装置。

【請求項5】 電力変換装置の電力変換回路を構成するスイッチング素子の保護素子として使用され、オン電圧が1V以下、耐圧が300V以上のGaN系ショットキーダイオードであることを特徴とするGaN系半導体装置。

【請求項6】 前記GaN系ショットキーダイオードは、基板と、前記基板上に形成されたアンドープの第1のIII-V族窒化物半導体層と、前記第1のIII-V族窒化物半導体層上に形成された、前記第1のIII-V族窒化物半導体層よりもバンドギャップの広いアンドープの第2のIII-V族窒化物半導体層と、前記第1のIII-V族窒化物半導体層と前記第2のIII-V族窒化物半導体層とのヘテロ接合部に接続して前記第1のIII-V族窒化物半導体層上に形成されたn型の第3のIII-V族窒化物半導体層と、前記第2のIII-V族窒化物半導体層上にショットキー接觸して形成されたアノード電極と、前記第3のIII-V族窒化物半導体層上にオーミック接觸して形成されたカソード電極と、を有する、請求項5記載のGaN系半導体装置。

【請求項7】 前記第2のIII-V族窒化物半導体層と前記アノード電極との間に、絶縁薄膜が形成されている、請求項6記載のGaN系半導体装置。

【請求項8】 前記GaN系ショットキーダイオードは、基板と、前記基板上に形成され、表面の一部が凸部形状をなすIII-V族窒化物半導体層と、前記III-V族窒化物半導体層の凸部の上面にショットキー接觸する第1のアノード電極と、前記III-V族窒化物半導体層の凸部の側面にショットキー接觸すると共に、前記第1のアノード電極に電気的に接続する第2のアノード電極と、を有し、前記第1のアノード電極と前記III-V族窒化物半導体層との間に生じるショットキーバリアが、前記第2のアノード電極と前記III-V族窒化物半導体層との間に生じるショットキーバリアよりも小さい、請求項5記載

のGaN系半導体装置。

【請求項9】 前記III-V族窒化物半導体層のキャリア濃度は、 $2 \times 10^{17} \text{ cm}^{-3}$ 以下である、請求項8記載のGaN系半導体装置。

【請求項10】 前記第1のアノード電極と前記III-V族窒化物半導体層との間に生じるショットキーバリアは、0.8eVより低く、前記第2のアノード電極と前記III-V族窒化物半導体層との間に生じるショットキーバリアは、0.8eVより高い、請求項8記載のGaN系半導体装置。

【請求項11】 前記III-V族窒化物半導体層の凸部の側面と前記第2のアノード電極との間に、前記III-V族窒化物半導体層よりもバンドギャップエネルギーの大きいIII-V族窒化物半導体層が形成されている、請求項8記載のGaN系半導体装置。

【請求項12】 前記III-V族窒化物半導体層の凸部の側面と前記第2のアノード電極との間に、アンドープのIII-V族窒化物半導体層が形成されている、請求項8記載のGaN系半導体装置。

20 【請求項13】 前記基板は、絶縁性又は半絶縁性の基板であり、前記III-V族窒化物半導体層にオーミック接觸してカソード電極が形成されている、請求項8記載のGaN系半導体装置。

【請求項14】 前記III-V族窒化物半導体層と前記カソード電極との間に、前記III-V族窒化物半導体層よりも導電性の高いIII-V族窒化物半導体層が形成されている、請求項13記載のGaN系半導体装置。

【請求項15】 前記基板は、導電性の基板であり、前記基板の裏面にオーミック接觸してカソード電極が形成されている、請求項8記載のGaN系半導体装置。

30 【請求項16】 前記III-V族窒化物半導体層の表面の複数箇所が凸部形状をなし、前記第1のアノード電極が前記III-V族窒化物半導体層の複数個の凸部のそれぞれの上面にショットキー接觸して形成され、前記第2のアノード電極が前記III-V族窒化物半導体層の複数個の凸部のそれぞれの側面にショットキー接觸して形成されている、請求項8記載のGaN系半導体装置。

【請求項17】 前記III-V族窒化物半導体層の凸部の幅が、5nm以上で10μm以下である、請求項8記載のGaN系半導体装置。

40 【請求項18】 前記スイッチング素子は、GaN系電界効果トランジスタであり、前記GaN系電界効果トランジスタと前記GaN系ショットキーダイオードとが同一の基板上に集積されている、請求項5記載のGaN系半導体装置。

【請求項19】 前記GaN系電界効果トランジスタ及び前記GaN系ショットキーダイオードは、基板と、前記基板上に形成されたアンドープの第1のIII-V族窒化物半導体層と、前記第1のIII-V族窒化物半導体層上に形成された、前記第1のIII-V族窒化物半導体層よりも小さい、請求項5記載

バンドギャップの広いアンドープの第2のIII-V族窒化物半導体層と、前記第2のIII-V族窒化物半導体層に隣接して前記第1のIII-V族窒化物半導体層上に形成された2つのn型の第3のIII-V族窒化物半導体層と、前記2つのn型の第3のIII-V族窒化物半導体層上にそれぞれオーミック接触して形成されたソース・カソード兼用電極及びドレイン電極と、前記2つのn型の第3のIII-V族窒化物半導体層に挟まれた前記第2のIII-V族窒化物半導体層上にショットキー接触して形成されたゲート電極と、前記ソース・カソード兼用電極を間に挟んで前記ゲート電極の反対側の前記第2のIII-V族窒化物半導体層上にショットキー接触して形成されたアノード電極と、を有する、請求項18記載のGaN系半導体装置。

【請求項20】前記第2のIII-V族窒化物半導体層と前記アノード電極との間及び前記第2のIII-V族窒化物半導体層と前記ゲート電極との間に、それぞれ絶縁薄膜が形成されている、請求項19記載のGaN系半導体装置。

【請求項21】電力変換装置の電力変換回路を構成するスイッチング素子の保護素子として使用され、オン電圧が1V以下、耐圧が300V以上のGaN系電界効果トランジスタであることを特徴とするGaN系半導体装置。

【請求項22】前記GaN系電界効果トランジスタは、導電性の基板と、前記基板上に形成され、表面の一部が凸部形状をなすIII-V族窒化物半導体層と、前記II-I-V族窒化物半導体層の凸部の上面にオーミック接触して形成されているソース電極と、前記III-V族窒化物半導体層の凸部の側面にショットキー接触して形成されているゲート電極と、前記基板の裏面にオーミック接触して形成されているドレイン電極と、を有する、請求項21記載のGaN系半導体装置。

【請求項23】前記III-V族窒化物半導体層のキャリア濃度は、 $2 \times 10^{17} \text{ cm}^{-3}$ 以下である、請求項22記載のGaN系半導体装置。

【請求項24】前記III-V族窒化物半導体層の凸部の側面と前記ゲート電極との間に、前記III-V族窒化物半導体層よりもバンドギャップエネルギーの大きいIII-V族窒化物半導体層が形成されている、請求項22記載のGaN系半導体装置。

【請求項25】前記III-V族窒化物半導体層の凸部の側面と前記ゲート電極との間に、アンドープのIII-V族窒化物半導体層が形成されている、請求項22記載のGaN系半導体装置。

【請求項26】前記III-V族窒化物半導体層と前記ソース電極との間に、前記III-V族窒化物半導体層よりも導電性の高いIII-V族窒化物半導体層が形成されている、請求項22記載のGaN系半導体装置。

【請求項27】前記III-V族窒化物半導体層の凸部の幅は、5nm以上で10μm以下である、請求項22記

載のGaN系半導体装置。

【請求項28】前記電力変換回路は、インバータ回路又はコンバータ回路である、請求項5又は21記載のGaN系半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力変換回路を有する電力変換装置及びその電力変換回路に用いるGaN系半導体装置に関する。

【0002】

【従来の技術】電力変換装置の電力変換回路に組み込まれるスイッチング素子は、数W以上の電力を扱うことが必要であることから、従来はバイポーラトランジスタを使用することが主流であった。しかし、その後、大電力を扱うFET(Field Effect Transistor; 電界効果トランジスタ)が開発され、パワーMOSFET(Metal Oxide Semiconductor FET)が広く使用されるようになった。或いは、バイポーラトランジスタとMOSFETとを複合したIGBT(Insulated Gate Bipolar Transistor; 絶縁ゲート型のバイポーラトランジスタ)も、バイポーラトランジスタと同様に高電圧での高速動作が可能であり、MOSFETと同様にオン抵抗が低いことから、スイッチング素子として使用されている。

【0003】ところで、このようなパワーMOSFET等においては、寄生バイポーラトランジスタ効果を除去するためや、動作瞬時の突入電流又はサージ電圧の印加による素子破壊を防止するために、保護素子を組み込むことが必要である。例えば最も一般的なSi系MOSFETにおいては、通常、pn接合を用いたツェナーダイオードが保護素子として内蔵されている。

【0004】

【発明が解決しようとする課題】しかし、上記した従来の保護素子として用いるpn接合構造のツェナーダイオードは、オン抵抗が $10\text{ m}\Omega \text{ cm}^2$ 程度と高いため、順方向の立ち上がりのオン電圧が $1.2 \sim 1.5\text{ V}$ 程度に高くなる一方、耐圧は100V程度と低い。このため、電力変換装置の電力変換回路を構成するスイッチング素子としてオン電圧の低いMOSFETを使用する場合に、その保護素子として上記したpn接合構造のツェナーダイオードを組み込むと、次のような問題が生じた。

【0005】即ち、保護素子の耐圧が低く、オン電圧が高いため、MOSFETの動作瞬時の突入電流又はサージ電圧に充分耐えることができなかったり、またサージ電圧が印加した際に発熱が生じて、保護素子が働く前にMOSFETが破壊されたりして、電力変換装置の安定動作を保証することができず、信頼性が低下した。また、MOSFETの低オン電圧動作ができなくなって、高損失となり、電力変換装置の効率が低下した。

【0006】一方、GaN系FETは、耐圧が高く、高温動作や大電流動作が可能であることが知られており、

GaN系半導体材料を用いた各種デバイスの開発研究が進められている。しかし、現在までのところ、GaN系半導体装置を組み込んで電力変換装置を構成するという事例は知られていない。本発明は、従来の上記した問題を考慮してなされたものであって、GaN系半導体材料の特性を活かすことにより、安定動作を保証する高い信頼性と高い効率を備えた電力変換装置及びそれを実現するために用いる構成部品としてのGaN系半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記した目的を達成するために、本発明においては、電力変換回路を有する電力変換装置であって、電力変換回路を構成するスイッチング素子の保護素子として、GaN系ショットキーダイオード又はGaN系FETが用いられていることを特徴とする電力変換装置が提供される。

【0008】また、本発明においては、電力変換装置の電力変換回路を構成するスイッチング素子の保護素子としてに使用され、オン電圧が1V以下、耐圧が300V以上のGaN系ショットキーダイオードであることを特徴とするGaN系半導体装置が提供される。また、本発明においては、電力変換装置の電力変換回路を構成するスイッチング素子の保護素子としてに使用され、オン電圧が1V以下、耐圧が300V以上のGaN系FETであることを特徴とするGaN系半導体装置が提供される。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について添付図面を参照しつつ説明する。なお、各実施の形態において共通する構成要素には同一の符号を付して説明を省略する。

(第1の実施形態) 本実施形態は、図1(a)に示されるように、電力変換装置の電力変換回路を構成するスイッチング素子として、パワーFET10を用い、このパワーFET10の保護素子として、GaN系ショットキーダイオード20を用いたものである。具体的には、パワーFET10のソース・ドレイン間に、GaN系ショットキーダイオード20が接続されている。

【0010】ここで、パワーFET10は、Si系MOSFETであってもよいし、GaN系MISFET(Metal Insulator Semiconductor FET)又はGaN系MESFET(Metal Semiconductor FET)であってもよい。また、GaN系ショットキーダイオード20は、図1(b)に示されるように横型の構造をなしている。即ち、例えば絶縁性又は半絶縁性のサファイア基板21上に、GaNバッファ層22を介して、III-V族窒化物半導体層であるアンドープのGaN層23が形成され、このGaN層23上に、GaN層23よりもバンドギャップの広いIII-V族窒化物半導体層であるアンドープのAlGaN層24が形成されている。また、GaN層23

とAlGaN層24とのヘテロ接合部に接続して、n型GaN層26がGaN層23上に形成されている。そして、GaN層23とAlGaN層24とのヘテロ接合面近傍には、2次元電子ガスが発生している。また、n型GaN層26上にオーム接觸して、カソード電極27が形成されている。また、AlGaN層24上にショットキー接觸して、アノード電極28が形成されている。

【0011】次に、図1(b)のGaN系ショットキーダイオード20の製造方法の一例について、図2(a)～(d)を用いて説明する。先ず、サファイア基板21上に、例えば超真空成長装置を用いたガスソースMBE(Molecular Beam Epitaxy; 分子線エピタキシャル成長)法により、成長温度640°Cで一連の結晶成長を行う。

【0012】即ち、原料ガスとして分圧 6.65×10^{-5} PaのGa(ガリウム)とラジカル化した分圧 4.0×10^{-4} PaのN(窒素)を用い、GaNバッファ層22を厚さ5nmに成長させる。連続して、例えば分圧 1.33×10^{-4} PaのGaと分圧 6.65×10^{-4} PaのNH₃(アンモニア)を用い、アンドープのGaN層23を厚さ3000nmに成長させる。更に連続して、例えば分圧 6.65×10^{-5} PaのAlと分圧 6.65×10^{-4} PaのNH₃を用い、アンドープのAlGaN層24を厚さ30nmに成長させる。こうして、GaN層23とAlGaN層24とのヘテロ接合構造を有する第1の中間体を形成する(図2(a)参照)。

【0013】なお、この一連の結晶成長の際に、ガスソースMBE法の代わりに、MOCVD(Metal Organic Chemical Vapor Deposition; 有機金属化学気相成長)法やハライド気相成長法等を用いててもよい。次いで、この第1の中間体を超真空成長装置から一旦取り出した後、例えばプラズマCVD(Chemical Vapor Deposition; 化学的気相成長)装置を用いて、AlGaN層24上に、SiO₂膜を形成する。なお、このSiO₂膜の代わりに、SiN_x膜やAlN膜を形成してもよい。続いて、例えばBHFを用いたウエットエッティング法又はCF₄を用いたドライエッティング法により、SiO₂膜を選択的にエッティング除去して、所定の形状のSiO₂パターン25を形成する。

【0014】続いて、例えばメタン系ガスを用いたECR(Electron Cyclotron Resonance; 電子サイクロトロン共鳴)プラズマエッティング法又はRIBE(Reactive Ion Beam Etching; 反応性イオンビームエッティング)法により、SiO₂パターン25をマスクとして、AlGaN層24及びGaN層23の一部を順に選択的にエッティング除去する。こうして、GaN層23表面を露出させた第2の中間体を形成する(図2(b)参照)。

【0015】次いで、この第2の中間体を再び超真空成

長装置内に装填した後、 SiO_2 パターン25をマスクとし、例えば分圧 $6, 6.5 \times 10^{-5}$ PaのGaと分圧 $6, 6.5 \times 10^{-4}$ PaのNH₃と分圧 $1, 3.3 \times 10^{-6}$ PaのドーパントとしてのSiを用いて、 $5 \times 10^{19} \text{ cm}^{-3}$ 程度の高濃度にSiを添加したn型GaN層26を、露出するGaN層23上に選択的に成長させる。こうして、AlGaN層24に隣接するn型GaN層26をGaN層23上に選択成長させた第3の中間体を形成する(図2(c)参照)。

【0016】次いで、この第3の中間体を超真空成長装置から取り出した後、 SiO_2 パターン25を除去する。続いて、第3の中間体の全面に、 SiO_2 膜(図示せず)を形成した後、フォトリソグラフィ技術とエッチング技術を用いて選択的にエッチング除去して、n型GaN層26を露出させるコンタクトホールを開口する。そして、例えばArプラズマを用いたスパッタ蒸着法により、TaSi及びAuを順に蒸着する。こうして、n型GaN層26にオーム接觸するTaSi/Au積層構造のカソード電極27を形成する。

【0017】同様にして、 SiO_2 膜を選択的にエッチング除去し、AlGaN層24を露出させるコンタクトホールを開口した後、Ti、WSi及びAuを順に蒸着する。こうして、AlGaN層24にショットキーアノード電極28を形成する(図2(d)参照)。このような一連の工程を経て、図1(b)に示すGaN系ショットキーダイオード20を作製する。

【0018】因みに、本発明者らが上記の製造方法に従つて図1(b)に示すようなGaN系ショットキーダイオードを試作して、その特性を測定したところ、次のような結果が得られた。即ち、GaN系ショットキーダイオードの耐圧は600Vを超えた。また、オン抵抗は $2.4 \text{ m}\Omega \text{ cm}^2$ 以下になり、順方向電圧は0.3V付近から立ち上がった。また、電流は最大100Aまで流すことができた。

【0019】次に、図1(a)、(b)に示したスイッチング素子としてのパワーFET10及びその保護素子としてのGaN系ショットキーダイオード20を用いた電力変換回路を有する電力変換装置について説明する。電力変換装置の電力変換回路としては、一般にインバータ回路又はコンバータ回路が用いられる。そして、電力変換回路として実際に使用されるインバータ回路又はコンバータ回路は、その制御機能への種々の要求から極めて多用な回路構成をとる。そこで、ここでは、図3を用いてインバータ回路を有する電力変換装置の一例を示し、図4(a)～(d)を用いてコンバータ回路を有する電力変換装置の数例を示す。

【0020】図3に示されるように、電力変換装置30は、周波数50Hz又は60Hz、電圧100Vの交流電源31と、この交流電源31から供給される交流を直

流に整流する整流回路32と、この整流回路32からの直流を周波数1kHz～24kHzの交流に変換するDC-ACインバータ回路33とを有し、このDC-ACインバータ回路33からの交流が負荷Mに供給される。そして、このDC-ACインバータ回路33を構成するスイッチング素子として、パワーFET10が用いられ、その保護素子として、GaN系ショットキーダイオード20が用いられている。

【0021】図4(a)～(d)に示されるように、電力変換装置は、(a)Buck回路(降圧形)、(b)Boost回路(昇圧形)、(c)Boost-Buck回路(昇降圧形)、(d)Cuk回路(昇降圧形)とそれぞれ呼ばれるDC-DCコンバータ回路34a～34dを有している。そして、各DC-DCコンバータ回路34a～34dを構成するスイッチング素子として、パワーFET10が用いられ、その保護素子として、GaN系ショットキーダイオード20が用いられている。

【0022】以上のように本実施形態では、電力変換装置の電力変換回路であるDC-ACインバータ回路33又はDC-DCコンバータ回路34a～34dにおけるパワーFET10(スイッチング素子)の保護素子としてGaN系ショットキーダイオード20が用いられ、このGaN系ショットキーダイオード20のオン電圧が0.3V程度であることから、パワーFET10は少なくとも1V以下の低オン電圧動作が容易に可能になる。このため、損失を低下させて、高いインバータ効率又はコンバータ効率を達成することが可能になり、電力変換装置の高効率化を実現することができる。

【0023】また、動作瞬時の突入電流又はサージ電圧が印加する場合であっても、GaN系ショットキーダイオード20が耐圧600V以上の保護素子として機能することから、パワーFET10が発熱によって破壊されることを防止することが可能になる。このため、パワーFET10の安定動作を保証し、電力変換装置の信頼性を高めることができる。

【0024】なお、本実施形態におけるGaN系ショットキーダイオード20は、AlGaN層24とゲート電極28aとの間、又はAlGaN層24とアノード電極28bとの間に、例えば SiO_2 又は SiN 等からなる厚さ10～24nmの極薄い絶縁膜を設けることが好ましい。この場合、高耐圧下で大電流動作を行う場合であっても、リーク電流の増大を抑制することができる。

【0025】(第2の実施形態) 本実施形態は、第1の実施形態におけるGaN系ショットキーダイオード20の代わりに、図5に示される横型のGaN系ショットキーダイオード40を用いたものである。このGaN系ショットキーダイオード40では、例えば絶縁性又は半絶縁性のサファイア基板41上に、厚さ50nmのGaNバッファ層42を介して、厚さ2000nm、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度の高不純物濃度のn'型GaN層43が積

層されている。 n' 型GaN層43上には、表面の一部が凸部形状に突出している n 型GaN層44が形成されている。 n 型GaN層44の不純物濃度は、 $2 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度であり、その平坦部の厚さは500nm、凸部の幅及び高さはそれぞれ2000nm及び2000nmである。なお、 n 型GaN層44の不純物濃度は $2 \times 10^{17} \text{ cm}^{-3}$ 程度に限定する必要はなく、好ましくは $2 \times 10^{17} \text{ cm}^{-3}$ 以下であればよい。

【0026】また、 n 型GaN層44の平坦部の表面及び凸部の側面は、 n 型GaN層44よりもバンドギャップエネルギーの大きい厚さ30nmのアンドープのA1_{0.2}Ga_{0.8}N層46によって被覆されている。ここで、 n 型GaN層44とA1_{0.2}Ga_{0.8}N層46との接触部はヘテロ接合をなすため、そのヘテロ接合面近傍には、図中に破線で模式的に表した2次元電子ガスが発生する。

【0027】また、 n 型GaN層44の凸部の上面にショットキー接觸して、第1のアノード電極としてのTi(チタン)電極48が形成されている。Ti電極48とn型GaN層44との接觸面には、0.3eVのショットキーバリアが生じる。なお、第1のアノード電極をなす材質は、Tiに限定されない。例えばW(タングステン)やAg(銀)等、 n 型GaN層8に対して0.8eVより低いショットキーバリアを生じる金属であればよい。

【0028】また、Ti電極48及びA1_{0.2}Ga_{0.8}N層46の上に、第2のアノード電極としてのPt(白金)電極49が形成されている。このPt電極49は、Ti電極48に電気的に接続していると共に、 n 型GaN層44の凸部の側面にA1_{0.2}Ga_{0.8}N層46を介してショットキー接觸している。従って、ここでは、Pt電極49は n 型GaN層44に直接にはショットキー接觸していない。しかし、Pt電極49が n 型GaN層44に直接にショットキー接觸した場合には、その接觸面に1.0eVのショットキーバリアが生じる。なお、第2のアノード電極をなす材質は、Ptに限定されない。例えばNi(ニッケル)やPd(パラジウム)やAu(金)等、 n 型GaN層44に対して0.8eVより高いショットキーバリアを生じる金属であればよい。

【0029】そして、 n 型GaN層44の凸部の上面にショットキー接觸しているTi電極48と、 n 型GaN層44の凸部の側面にA1_{0.2}Ga_{0.8}N層46を介してショットキー接觸しているPt電極49とから、複合アノード電極50が構成されている。また、Pt電極49、A1_{0.2}Ga_{0.8}N層46及び n 型GaN層44の各側面、並びに n' 型GaN層43の表面は、SiO₂膜51によって被覆されている。SiO₂膜51に形成された開口部を介して、 n' 型GaN層43上にオーミック接觸するTa-Si層からなるカソード電極52が形成されている。

【0030】次に、図5のGaN系ショットキーダイオード40の電流-電圧特性について説明する。複合アノード電極50とカソード電極52との間に順方向バイアスを印加したところ、0.1~0.3Vのオン電圧で、順方向電流が急激に増大する良好な立ち上りが観測された。この良好な立ち上り特性が得られた理由は、次のように考えられる。

【0031】ショットキー接觸したTi電極と n 型GaN層との間に順方向バイアスを印加した場合の立ち上りに必要なオン電圧は、一般に0.3~0.5V程度である。また、ショットキー接觸したPt電極と n 型GaN層との間に順方向バイアスを印加した場合の立ち上りに必要なオン電圧は、一般に1.0~1.5V程度である。

【0032】GaN系ショットキーダイオード40において、その順方向の立ち上りの最初の段階では、複合アノード電極50のうちのTi電極48がアノード電極として主要に機能する。このため、オン電圧は、1.0~1.5V程度よりも0.3~0.5V程度に近い値となる。更に、 n 型GaN層44とA1_{0.2}Ga_{0.8}N層46とのヘテロ接合面近傍には2次元電子ガスが発生しており、この2次元電子ガスがキャリアとなって順方向電流の増大に寄与する。従って、オン電圧は0.3~0.5V程度よりも更に小さくなり、0.1~0.3Vという良好な立ち上り特性が得られる。そして、順方向バイアスが1.0~1.5V程度以上になった段階で、Ti電極48及びPt電極49の双方がアノード電極として機能するようになる。

【0033】また、複合アノード電極50とカソード電極52との間に逆方向バイアスを印加したところ、約500Vという大きな耐圧が観測された。この良好な耐圧特性が得られた理由は、次のように考えられる。ショットキー接觸したTi電極と n 型GaN層との間に逆方向バイアスを印加した場合には、一般に-10Vで 10^{-6} ~ 10^{-5} A程度の逆方向リーク電流が発生する。また、ショットキー接觸したPt電極と n 型GaN層との間に逆方向バイアスを印加した場合には、上記の場合よりも逆方向リーク電流は遙に小さく、約500Vの耐圧が得られる。

【0034】GaN系ショットキーダイオード40に逆方向バイアスを印加すると、Ti電極48とショットキー接觸している n 型GaN層44の凸部の上面に空乏層が広がり、Pt電極49とA1_{0.2}Ga_{0.8}N層46を介してショットキー接觸している n 型GaN層44の凸部の側面にも空乏層が広がる。逆方向バイアスが-10Vより小さい段階では、GaN層44の凸部の側面に形成される空乏層を通り抜ける逆方向リーク電流は殆どないが、 n 型GaN層44の凸部の上面に形成される空乏層を通り抜ける逆方向リーク電流は逆方向バイアスの増大につれて徐々に増大する。しかし、これら凸部の上面及

び側面に形成される2つの空乏層の広がりの程度を比較すると、T_i電極48とのショットキー接觸による空乏層が広がりよりも、P_t電極49とのショットキー接觸による空乏層の広がりの方が大きくなる。そして、P_t電極49とn型GaN層44の凸部の側面との間には、n型GaN層44よりもバンドギャップエネルギーが大きなA_{10.2}G_{a0.8}N層46が介在しているため、空乏層が広がり方は更に大きくなる。

【0035】その結果、逆方向バイアスが増大し、-10V程度に達した段階で、GaN層44の凸部の両側面から広がる空乏層が接觸し、ピンチオフ状態となる。このため、n型GaN層44の凸部の上面の空乏層を通り抜ける逆方向リーク電流は阻止される。そして、これ以上に逆方向バイアスが増大する段階では、複合アノード電極50のうちのP_t電極49のみがアノード電極として機能する。従って、500V程度という良好な耐圧特性が得られる。

【0036】次に、図5のGaN系ショットキーダイオード40の製造方法の一例について、図6(a)～(e)及び図7(a)～(d)を用いて説明する。まず、サファイア基板41上に、例えば超真空成長装置を用いたガスソースMBE法により、成長温度640℃において一連の結晶成長を行う。即ち、原料ガスとして分圧6.65×10⁻⁵PaのGaとラジカル化した分圧4.0×10⁻⁴PaのNを用い、GaNバッファ層42を厚さ50nmに成長させる。連続して、例えば分圧1.33×10⁻⁴PaのGaと分圧6.65×10⁻⁴PaのNH₃と分圧1.33×10⁻⁶PaのドーパントとしてのSi_iを用いて、5×10¹⁹c m⁻³程度の高不純物濃度のn'型GaN層43を厚さ2000nmに成長させる。

【0037】更に連続して、例えば分圧1.33×10⁻⁴PaのGaと分圧6×10⁻⁴PaのNH₃と分圧2×10⁻⁷PaのドーパントとしてのSi_iを用いて、2×10¹⁷c m⁻³程度の低不純物濃度のn型GaN層44を厚さ2500nmに成長させる。こうして、サファイア基板41上に、GaNバッファ層42、n'型GaN層43及びn型GaN層44が順に積層された第1の中間体を形成する(図6(a)参照)。

【0038】次いで、この第1の中間体を超真空成長装置から一旦取り出した後、例えばプラズマCVD法により、n型GaN層44上にSiO₂膜を形成する。なお、このSiO₂膜の代わりに、例えばSi_iN_x膜やAlN膜を形成してもよい。続いて、例えばBHFを用いたウエットエッチング法又はCF₄を用いたドライエッチング法により、SiO₂膜をパターニングし、例えば幅2μmをもつSiO₂パターン45を形成する(図6(b)参照)。

【0039】次いで、例えばメタン系ガスを用いたERCプラズマエッティング法又はRIBE法により、SiO₂50

パターン45をマスクとして、n型GaN層44をn型GaN層選択的にエッティング除去し、n型GaN層44の表面の一部が突出した高さ2000nmの凸部を形成する。こうして、GaN層44の表面の一部が凸部形状に突出している第2の中間体を形成する(図6(c)参照)。

【0040】次いで、この第2の中間体を再び超真空成長装置内に装填する。そして、SiO₂パターン45をマスクとし、例えば分圧6.65×10⁻⁵PaのGaと分圧2.66×10⁻⁵PaのA_{10.2}G_{a0.8}N層46をn型GaN層44上に選択成長させる。こうして、n型GaN層44の平坦部の表面及び凸部の側面がA_{10.2}G_{a0.8}N層46によって被覆された第3の中間体を形成する(図6(d)参照)。

【0041】次いで、この第3の中間体を超真空成長装置から取り出した後、SiO₂パターン45を除去する。続いて、第3の中間体の全面にSiO₂膜(図示せず)を形成した後、フォトリソグラフィ技術とエッティング技術を用いてパターニングして、n型GaN層44の凸部の上面及びその周辺のA_{10.2}G_{a0.8}N層46の一部表面を被覆するSiO₂パターン47を形成する(図6(e)参照)。

【0042】次いで、例えばメタン系ガスを用いたERCプラズマエッティング法又はRIBE法により、SiO₂パターン47をマスクとして、A_{10.2}G_{a0.8}N層46及びn型GaN層44を選択的にエッティング除去し、n'型GaN層43の表面を露出させる(図7(a)参照)。次いで、SiO₂パターン45を除去する。続いて、リフトオフ法により、n型GaN層44の凸部の上面にショットキー接觸する第1のアノード電極としてのTi電極48を形成する。具体的には、フォトリソグラフィ技術を用いて、n型GaN層44の凸部の上面、並びにA_{10.2}G_{a0.8}N層46及びn'型GaN層43の各表面を全面的に被覆するレジスト膜(図示せず)を塗布した後、n型GaN層44の凸部の上面が露出する開口部を形成するパターニングを行う。続いて、蒸着法により、Ti膜をレジスト膜上及び開口部内に堆積する。

その後、レジスト膜上のTi膜をレジスト膜と共に除去する。こうして、n型GaN層44の凸部の上面にTi膜を残存させ、Ti電極48を形成する(図7(b)参照)。

【0043】次いで、図7(b)に示す工程と同様に、リフトオフ法により、Ti電極48上及びA_{10.2}G_{a0.8}N層46上に、P_t層を選択的に形成する。こうして、Ti電極48に電気的に接続すると共に、n型GaN層44の凸部の側面にA_{10.2}G_{a0.8}N層46を介してショットキー接觸する第2のアノード電極としてのPt電極49を形成する。そして、これらのTi電極48

と P_t 電極 4 9 とから複合アノード電極 5 0 を構成する(図 7 (c) 参照)。

【0044】次いで、P_t 電極 4 9 の表面及び側面、A_{10.2}G_{a0.8}N 層 4 6 及び n 型 G_aN 層 4 4 の各側面、並びに n' 型 G_aN 層 4 3 の表面を全面的に被覆する SiO₂ 膜 5 1 を形成する。その後、フォトリソグラフィ技術とエッチング技術を用いて、SiO₂ 膜 5 1 を選択的にエッチング除去し、P_t 電極 4 9 の表面を露出させると共に、n' 型 G_aN 層 4 3 の表面の一部を露出させる。続いて、リフトオフ法により、表面の一部が露出した n' 型 G_aN 層 4 3 上に、Ta-Si 層を選択的に形成する。こうして、n' 型 G_aN 層 4 3 上にオーミック接觸する Ta-Si 層からなるカソード電極 5 2 を形成する(図 7 (d) 参照)。

【0045】このような一連の工程を経て、図 5 に示す G_aN 系ショットキーダイオード 4 0 を作製する。次に、図 5 の G_aN 系ショットキーダイオード 4 0 の製造方法の他の例について、図 8 (a) ~ (d) を用いて説明する。先ず、図 6 (a) に示す工程と略同様にして、サファイア基板 4 1 上に G_aN バッファ層 4 2 及び n' 型 G_aN 層 4 3 を順に積層した後、n' 型 G_aN 層 4 3 上に、図 6 (a) の n 型 G_aN 層 4 4 と同じ成膜条件で、n 型 G_aN 層 4 4 a を厚さ 500 nm に積層する。(図 8 (a) 参照)。

【0046】次いで、例えばプラズマ CVD 法により、n 型 G_aN 層 4 4 a 上に SiO₂ 膜 5 3 を形成する。なお、この SiO₂ 膜 5 3 の代わりに、SiN_x 膜や AlN 膜を形成してもよい。続いて、例えば BHF を用いたウエットエッチング法又は CF₄ を用いたドライエッチング法により、SiO₂ 膜 5 3 を選択的にエッチングして、幅 2 μm の開口部を形成する(図 8 (b) 参照)。

【0047】次いで、SiO₂ 膜 5 3 をマスクとして、開口部内の n 型 G_aN 層 4 4 a 上に、n 型 G_aN 層 4 4 a と同じ成膜条件で、厚さ 2000 nm の n 型 G_aN 層 4 4 b を選択成長させる。こうして、n 型 G_aN 層 4 4 a とその上の n 型 G_aN 層 4 4 b とから、表面の一部が高さ 2000 nm の凸部形状に突出している n 型 G_aN 層 4 4 を形成する(図 8 (c) 参照)。

【0048】次いで、図 6 (d) ~ (e) 及び図 7 (a) ~ (d) に示す諸工程と同様の諸工程を経て、図 5 に示す G_aN 系ショットキーダイオード 4 0 を作製する(図 8 (d) 参照)。以上のように実施形態では、G_aN 系ショットキーダイオード 4 0 が、n 型 G_aN 層 4 4 の凸部の上面にショットキー接觸する Ti 電極 4 8 とその凸部の側面にショットキー接觸する Pt 電極 4 9 とからなる複合アノード電極 5 0 を有することにより、低いオン電圧と高い耐圧とを同時に実現できる。

【0049】更に、n 型 G_aN 層 4 4 の凸部の側面と Pt 電極 4 9 との間にバンドギャップエネルギーの大きなアンドープの A_{10.2}G_{a0.8}N 層 4 6 を有するため、n

型 G_aN 層 4 4 と A_{10.2}G_{a0.8}N 層 4 6 とのヘテロ接合面近傍に発生する 2 次元電子ガスが順方向電流の増大に寄与して、良好な立ち上り特性を更に向かうことができる。

【0050】従って、この G_aN 系ショットキーダイオード 4 0 を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワー FET 1 0

10 (スイッチング素子) の保護素子として用いることにより、損失を低下させ、高いインバータ効率又はコンバータ効率を達成することが可能になり、電力変換装置の高効率化を実現できる。また、動作瞬時の突入電流又はサージ電圧が印加する場合であっても、G_aN 系ショットキーダイオード 4 0 が高耐圧の保護素子として機能するため、パワー FET 1 0 の安定動作を保証して、電力変換装置の信頼性を高めることができる。

【0051】なお、本実施形態の G_aN 系ショットキーダイオード 4 0 では、n 型 G_aN 層 4 4 の凸部の幅は 2

20 000 nm となっているが、この値は G_aN 系ショットキーダイオード 4 0 に要求される特性によって変化する。即ち、n 型 G_aN 層 4 4 の凸部の幅は、順方向電流を増大させるためには広い方が好ましい。他方、可能な限り小さい逆方向バイアスで G_aN 層 4 4 の凸部の両側面から広がる空乏層をピンチオフ状態にして n 型 G_aN 層 4 4 の凸部の上面の空乏層を通り抜ける逆方向リーク電流を阻止するためには狭い方が好ましい。従って、実際の場合には、トレードオフの関係になる 2 つの特性上の要求を勘案して、n 型 G_aN 層 4 4 の凸部の幅が決定される。以上のことは、後述する第 4、第 6、第 8、第 10 及び第 12 の実施形態における保護素子としての G_aN 系ショットキーダイオードについても同様である。

【0052】(第 3 の実施形態) 本実施形態は、第 2 の実施形態における G_aN 系ショットキーダイオード 4 0 の代わりに、図 9 に示される横型の G_aN 系ショットキーダイオード 4 0 A を用いたものである。この G_aN 系ショットキーダイオード 4 0 A では、n 型 G_aN 層 4 4 の表面の 2箇所に凸部が形成されている。図 5 の G_aN 系ショットキーダイオード 4 0 と比較すると、n 型 G_aN 層 4 4 の凸部の数が 1 個から 2 個に増加している。そして、n 型 G_aN 層 4 4 の平坦部の表面及び 2 つの凸部の側面の上に、A_{10.2}G_{a0.8}N 層 4 6 が形成されている。また、n 型 G_aN 層 4 4 の 2 つの凸部の上面に、Ti 電極 4 8 がそれぞれ形成されている。更に、これら 2 つの Ti 電極 4 8 上及び A_{10.2}G_{a0.8}N 層 4 6 上に、Pt 電極 4 9 が形成されている。

【0053】従って、複合アノード電極 5 0 とカソード電極 5 2 との間に順方向バイアスを印加した際には、電流経路となる n 型 G_aN 層 4 4 a の凸部の数が増えた分だけ、第 2 の実施形態の場合よりも順方向電流が増大す

る。なお、図9のGaN系ショットキーダイオード40Aの製造方法は、第2の実施形態におけるGaN系ショットキーダイオード40の場合と基本的に同様であるため、その説明は省略する。

【0054】以上のように実施形態では、GaN系ショットキーダイオード40Aが、第2の実施形態におけるGaN系ショットキーダイオード40と同様の基本構造を有し、同様の特性を実現できることに加え、更にn型GaN層44の凸部の数が増加した分だけ順方向電流を増大させることができる。従って、このGaN系ショットキーダイオード40Aを、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワーFET10（スイッチング素子）の保護素子として用いることにより、第2の実施形態の場合と同様又はそれ以上の効果を奏すことができる。

【0055】なお、本実施形態のGaN系ショットキーダイオード40Aにおいては、n型GaN層44の凸部の幅を第2の実施形態の場合よりも狭くして、より小さな逆方向バイアスでn型GaN層44の凸部の上面に形成される空乏層を通り抜ける逆方向リーキ電流を阻止し、耐圧特性を向上することが可能になる。即ち、n型GaN層44の凸部の数を増加することと凸部の幅を狭くすることを組み合わせて、第2の実施形態において述べたトレードオフの関係になる2つの特性上の要求を両立することが可能になる。従って、n型GaN層44の凸部の数は、2つに限定される必要はなく、3つ以上であってもよい。以上のこととは、後述する第5、第7、第9、第11及び第13の実施形態における保護素子としてのGaN系ショットキーダイオードについても同様である。

【0056】（第4の実施形態）本実施形態は、第2の実施形態におけるGaN系ショットキーダイオード40の代わりに、図10に示される横型のGaN系ショットキーダイオード40Bを用いたものである。このGaN系ショットキーダイオード40Bでは、図5のGaN系ショットキーダイオード40におけるA_{10.2}G_{a0.8}N層46の代わりに、厚さ50nmのアンドープのGaN層54が設けられている。即ち、n型GaN層44の凸部の側面とP_t電極49との間に、GaN層54が介在している。従って、複合アノード電極50とカソード電極52との間に逆方向バイアスを印加する際には、n型GaN層44の凸部の側面に形成される空乏層の広がり方が、GaN層54の存在によってより大きくなる。

【0057】なお、図10のGaN系ショットキーダイオード40Bの製造方法は、A_{10.2}G_{a0.8}N層46を形成する代わりにGaN層54を形成する点を除けば、第2の実施形態におけるGaN系ショットキーダイオード40の場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN系ショットキーダイオード40Bが、第2の実施形態におけるGaN

N系ショットキーダイオード40と同様の基本構造を有し、同様の特性を実現できることに加え、更にn型GaN層44の凸部の側面とP_t電極49との間にアンドープのGaN層54を有するため、P_t電極49とのショットキー接触による空乏層の広がり方が更に大きくなり、良好な耐圧特性を更に向上できる。従って、このGaN系ショットキーダイオード40Bを、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワーFET10（スイッチング素子）の保護素子として用いることにより、第2の実施形態の場合と同様又はそれ以上の効果を奏すことができる。

【0058】（第5の実施形態）本実施形態は、第2の実施形態におけるGaN系ショットキーダイオード40の代わりに、図11に示される横型のGaN系ショットキーダイオード40Cを用いたものである。このGaN系ショットキーダイオード40Cでは、第3の実施形態におけるGaN系ショットキーダイオード40Aと同様に、n型GaN層44の表面の2箇所に凸部が形成されている。また、第4の実施形態におけるGaN系ショットキーダイオード40Bと同様に、n型GaN層44の凸部の側面とP_t電極49との間にGaN層54が形成されている。即ち、GaN系ショットキーダイオード40Cは、図9及び図10のGaN系ショットキーダイオード40A、40Bを組み合わせた構成となっている。

【0059】なお、図11のGaN系ショットキーダイオード40Cの製造方法は、第3及び第4の実施形態におけるGaN系ショットキーダイオード40A、40Bの場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN系ショットキーダイオード40Cが、第3及び第4の実施形態におけるGaN系ショットキーダイオード40A、40Bを組み合わせた構成となっているため、これらGaN系ショットキーダイオード40A、40Bと同様の基本構造を有し、同様の特性を実現できる。従って、このGaN系ショットキーダイオード40Cを、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワーFET10（スイッチング素子）の保護素子として用いることにより、第3又は第4の実施形態の場合と同様又はそれ以上の効果を奏すことができる。

【0060】（第6の実施形態）本実施形態は、第2の実施形態におけるGaN系ショットキーダイオード40の代わりに、図12に示される横型のGaN系ショットキーダイオード40Dを用いたものである。このGaN系ショットキーダイオード40Dでは、図5のGaN系ショットキーダイオード40におけるA_{10.2}G_{a0.8}N層46が形成されておらず、n型GaN層44の凸部の側面にP_t電極49が直接にショットキー接觸している。なお、図12のGaN系ショットキーダイオード40Dの製造方法は、A_{10.2}G_{a0.8}N層46を形成する工程を省略すれば、第2の実施形態におけるGaN系シ

ショットキーダイオード40の場合と基本的に同様であるため、その説明は省略する。

【0061】以上のように実施形態では、GaN系ショットキーダイオード40Dが、第2の実施形態におけるGaN系ショットキーダイオード40と同様の基本構造を有し、同様の特性を実現できることに加え、更にAl_{0.2}Ga_{0.8}N層がない分だけ構造及びその製造プロセスを簡略化することができる。従って、このGaN系ショットキーダイオード40Dを、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワーFET10（スイッチング素子）の保護素子として用いることにより、第2の実施形態の場合と同様又はそれ以上の効果を奏することができる。

【0062】（第7の実施形態）本実施形態は、第2の実施形態におけるGaN系ショットキーダイオード40の代わりに、図13に示される横型のGaN系ショットキーダイオード40Eを用いたものである。このGaN系ショットキーダイオード40Eでは、第3の実施形態におけるGaN系ショットキーダイオード40Aと同様に、n型GaN層44の表面の2箇所に凸部が形成されている。また、第6の実施形態におけるGaN系ショットキーダイオード40Dと同様に、n型GaN層44の凸部の側面にPt電極49が直接にショットキー接觸している。即ち、GaN系ショットキーダイオード40Eは、図9及び図13のGaN系ショットキーダイオード40A、40Eを組み合わせた構成となっている。

【0063】なお、図13のGaN系ショットキーダイオード40Eの製造方法は、図9及び図13のGaN系ショットキーダイオード40A、40Eの場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN系ショットキーダイオード40Eが、第3及び第6の実施形態におけるGaN系ショットキーダイオード40A、40Eを組み合わせた構成となっているため、これらGaN系ショットキーダイオード40A、40Bと同様の基本構造を有し、同様の特性を実現できる。従って、このGaN系ショットキーダイオード40Eを、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワーFET10（スイッチング素子）の保護素子として用いることにより、第3又は第6の実施形態の場合と同様又はそれ以上の効果を奏することができる。

【0064】（第8の実施形態）本実施形態は、第2の実施形態におけるGaN系ショットキーダイオード40の代わりに、図14に示される縦型のGaN系ショットキーダイオード60を用いたものである。このGaN系ショットキーダイオード60では、例えば導電性のn型SiC基板61上に、表面の一部が凸部形状に突出しているn型GaN層62が形成されている。n型GaN層62の不純物濃度は、 $2 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度であり、その平坦部の厚さは500nm、凸部の幅及び高

さはそれぞれ2000nm及び2000nmである。なお、n型GaN層62の不純物濃度は、 $2 \times 10^{17} \text{ cm}^{-3}$ 程度に限定する必要はなく、 $2 \times 10^{17} \text{ cm}^{-3}$ 以下であればよい。

【0065】また、n型GaN層62の平坦部の表面及び凸部の両側面は、n型GaN層62よりもバンドギャップエネルギーの大きい厚さ30nmのアンドープのAl_{0.2}Ga_{0.8}N層63によって被覆されている。ここで、n型GaN層62とAl_{0.2}Ga_{0.8}N層63との接触部はヘテロ接合をなすため、そのヘテロ接合面近傍には、図中に破線で模式的に表した2次元電子ガスが発生する。

【0066】また、n型GaN層62の凸部の上面にショットキー接觸して、第1のアノード電極としてTi電極64が形成されている。なお、第1のアノード電極をなす材質は、Tiに限定されない。例えばWやAg等、n型GaN層8に対して0.8eVより低いショットキーバリアを生じるものであればよい。また、Ti電極64上及びAl_{0.2}Ga_{0.8}N層63上には、第2のアノード電極としてのPt電極65が形成されている。このPt電極65は、Ti電極64に電気的に接続すると共に、n型GaN層62の凸部の側面にAl_{0.2}Ga_{0.8}N層63を介してショットキー接觸している。なお、第2のアノード電極をなす材質は、Ptに限定されない。例えばNiやPdやAu等、n型GaN層62に対して0.8eVより高いショットキーバリアを生じるものであればよい。

【0067】そして、n型GaN層62の凸部の上面にショットキー接觸しているTi電極64と、n型GaN層62の凸部の側面にAl_{0.2}Ga_{0.8}N層63を介してショットキー接觸しているPt電極65とが互いに電気的に接続されて、複合アノード電極66を構成している。また、Pt電極65、Al_{0.2}Ga_{0.8}N層63及びn型GaN層62の各側面、並びにn型SiC基板61の表面を被覆するSiO₂膜67が形成されている。また、n型SiC基板61の裏面にオーミック接觸するTa-Si層からなるカソード電極68が形成されている。

【0068】このようにGaN系ショットキーダイオード60は、第2の実施形態に係る横型のGaN系ショットキーダイオード40の絶縁性又は半絶縁性のサファイア基板41の代わりに、導電性のn型SiC基板61を用い、そのn型SiC基板61の裏面にカソード電極68を形成して、縦型構造としたものである。そして、横型構造と縦型構造の違いはあれ、n型GaN層62の凸部の上面にTi電極64がショットキー接觸し、その凸部の側面にAl_{0.2}Ga_{0.8}N層63を介してPt電極65がショットキー接觸し、これらTi電極64とPt電極65とから複合アノード電極66が構成されるという基本的な構造は、第2の実施形態におけるGaN系ショ

ットキーダイオード 60 と同様である。

【0069】次に、図14のGaN系ショットキーダイオード60の電流-電圧特性について説明する。複合アノード電極66とカソード電極68との間に順方向バイアスを印加したところ、第2の実施形態の場合と略同様に、0.1~0.3Vのオン電圧で、順方向電流が急激に増大する良好な立ち上がりが観測された。また、複合アノード電極66とカソード電極68との間に逆方向バイアスを印加したところ、約500Vという大きな耐圧が観測された。このような良好な立ち上がり特性と耐圧特性が得られた理由は、第2の実施形態におけるGaN系ショットキーダイオード60について述べた理由と同様であると考えられる。

【0070】次に、図14のGaN系ショットキーダイオード60の製造方法の一例について、図15(a)~(c)を用いて説明する。先ず、導電性のn型SiC基板61上に、超真空成長装置を用いた例えはガスソースMBE法により、一連の結晶成長を行う。即ち、原料ガスとして例えは分圧 $6 \cdot 65 \times 10^{-5}$ PaのGaNと分圧 $6 \cdot 65 \times 10^{-4}$ PaのNH₃と分圧 2×10^{-7} PaのドーパントとしてのSiを用いて、 $2 \times 10^{17} \text{ cm}^{-3}$ 程度の低不純物濃度のn型GaN層62を厚さ2500nmに成長させる(図15(a)参照)。

【0071】次いで、第2の実施形態における図6(d)~(e)及び図7(a)~(d)に示す諸工程と同様の工程を行う。即ち、n型GaN層62を選択的にエッチング除去して、その表面の一部が突出した高さ2000nmの凸部を形成し、アンドープのAl_{0.2}Ga_{0.8}N層63を厚さ30nmに選択成長させる。続いで、n型GaN層62の凸部の上面にショットキー接触するTi電極64を形成し、n型GaN層62の凸部の側面にAl_{0.2}Ga_{0.8}N層63を介してショットキー接触するPt電極65を形成し、これらのTi電極64とPt電極65とから複合アノード電極66を構成する。続いて、SiO₂膜67を形成する(図15(b)参照)。

【0072】次いで、n型SiC基板61の裏面にオミック接触するTa-Si層からなるカソード電極68を形成する(図15(c)参照)。このような一連の工程を経て、図14に示すGaN系ショットキーダイオード60を作製する。なお、上記の製造方法の代わりに、第2の実施形態で図8(a)~(d)を用いて説明した他の製造方法を適用することも可能である。

【0073】以上のように実施形態では、GaN系ショットキーダイオード60が、横型構造と縦型構造の違いはあれ、第2の実施形態におけるGaN系ショットキーダイオード40と同様の基本的な構造を有し、同様の特性を実現できる。従って、このGaN系ショットキーダイオード60を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワーFET

10(スイッチング素子)の保護素子として用いることにより、第2の実施形態の場合と同様の効果を奏することができる。

【0074】(第9の実施形態)本実施形態は、第8の実施形態におけるGaN系ショットキーダイオード60の代わりに、図16に示される縦型のGaN系ショットキーダイオード60Aを用いたものである。このGaN系ショットキーダイオード60Aでは、図14のGaN系ショットキーダイオード60におけるn型GaN層62の凸部の数が1個から2個に増加している。別の観点から言えば、第3の実施形態のGaN系ショットキーダイオード40Aにおいて、サファイア基板41の代わりにn型SiC基板61を用い、そのn型SiC基板61の裏面にカソード電極68を形成して、縦型構造としたものである。

【0075】なお、図16のGaN系ショットキーダイオード60Aの製造方法は、第3の実施形態におけるGaN系ショットキーダイオード60の場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN系ショットキーダイオード60Aが、第3の実施形態における横型のGaN系ショットキーダイオード40Aを縦型構造にしたものであるため、同様の基本構造を有し、同様の特性を実現できる。従って、このGaN系ショットキーダイオード60Aを、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワーFET10(スイッチング素子)の保護素子として用いることにより、第3の実施形態の場合と同様の効果を奏することができる。

【0076】(第10の実施形態)本実施形態は、第8の実施形態におけるGaN系ショットキーダイオード60の代わりに、図17に示される縦型のGaN系ショットキーダイオード60Bを用いたものである。このGaN系ショットキーダイオード60Bでは、図14のGaN系ショットキーダイオード60におけるAl_{0.2}Ga_{0.8}N層63の代わりに、厚さ50nmのアンドープのGaN層69が用いられている。別の観点から言えば、第4の実施形態のGaN系ショットキーダイオード40Bにおいて、サファイア基板41の代わりにn型SiC基板61を用い、そのn型SiC基板61の裏面にカソード電極68を形成して、縦型構造としたものである。

【0077】なお、図17のGaN系ショットキーダイオード60Bの製造方法は、Al_{0.2}Ga_{0.8}N層63を形成する代わりにGaN層69を形成する点を除けば、第8の実施形態におけるGaN系ショットキーダイオード60の場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN系ショットキーダイオード60Bが、第4の実施形態における横型のGaN系ショットキーダイオード40Bを縦型構造にしたものであるため、同様の基本構造を有し、同様の特性を実現できる。従って、このGaN系ショットキーダ

イオード 60B を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワー FET 10 (スイッチング素子) の保護素子として用いることにより、第 4 の実施形態の場合と同様の効果を奏することができる。

【0078】 (第 11 の実施形態) 本実施形態は、第 10 の実施形態における GaN 系ショットキーダイオード 60B の代わりに、図 18 に示される縦型の GaN 系ショットキーダイオード 60C を用いたものである。この GaN 系ショットキーダイオード 60C では、図 17 の GaN 系ショットキーダイオード 60B における n 型 GaN 層 62 の凸部の数が 1 個から 2 個に増加している。別の観点から言えば、第 5 の実施形態の GaN 系ショットキーダイオード 40C において、サファイア基板 41 の代わりに n 型 SiC 基板 61 を用い、その n 型 SiC 基板 61 の裏面にカソード電極 68 を形成して、縦型構造としたものである。

【0079】 なお、図 18 の GaN 系ショットキーダイオード 60C の製造方法は、第 10 の実施形態における GaN 系ショットキーダイオード 60B の場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN 系ショットキーダイオード 60C が、第 5 の実施形態における横型の GaN 系ショットキーダイオード 40C を縦型構造にしたものであるため、同様の基本構造を有し、同様の特性を実現できる。従って、この GaN 系ショットキーダイオード 60C を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワー FET 10 (スイッチング素子) の保護素子として用いることにより、第 5 の実施形態の場合と同様の効果を奏することができる。

【0080】 (第 12 の実施形態) 本実施形態は、第 8 の実施形態における GaN 系ショットキーダイオード 60 の代わりに、図 19 に示される縦型の GaN 系ショットキーダイオード 60D を用いたものである。この GaN 系ショットキーダイオード 60D では、図 14 の GaN 系ショットキーダイオード 60 における A_{10.2}G_{a0.8}N 層 63 が形成されておらず、n 型 GaN 層 62 の凸部の側面に Pt 電極 65 が直接にショットキー接触しているものである。別の観点から言えば、第 6 の実施形態の GaN 系ショットキーダイオード 40D において、サファイア基板 41 の代わりに n 型 SiC 基板 61 を用い、その n 型 SiC 基板 61 の裏面にカソード電極 68 を形成して、縦型構造としたものである。

【0081】 なお、図 19 の GaN 系ショットキーダイオード 60D の製造方法は、A_{10.2}G_{a0.8}N 層 63 を形成する工程を省略すれば、第 8 の実施形態における GaN 系ショットキーダイオード 60 の場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN 系ショットキーダイオード 60D が、第 6 の実施形態における横型の GaN 系ショットキーダ

イオード 40D を縦型構造にしたものであるため、同様の基本構造を有し、同様の特性を実現できる。従って、この GaN 系ショットキーダイオード 60D を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワー FET 10 (スイッチング素子) の保護素子として用いることにより、第 6 の実施形態の場合と同様の効果を奏することができる。

【0082】 (第 13 の実施形態) 本実施形態は、第 12 の実施形態における GaN 系ショットキーダイオード 60D の代わりに、図 20 に示される縦型の GaN 系ショットキーダイオード 60E を用いたものである。この GaN 系ショットキーダイオード 60E では、図 19 の GaN 系ショットキーダイオード 60D における n 型 GaN 層 62 の凸部の数が 1 個から 2 個に増加している。別の観点から言えば、第 7 の実施形態の図 13 の GaN 系ショットキーダイオード 40E において、サファイア基板 41 の代わりに n 型 SiC 基板 61 を用い、その n 型 SiC 基板 61 の裏面にカソード電極 68 を形成して、縦型構造としたものである。

【0083】 なお、図 20 の GaN 系ショットキーダイオード 60E の製造方法は、第 12 の実施形態における GaN 系ショットキーダイオード 60D の場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN 系ショットキーダイオード 60E が、第 7 の実施形態における横型の GaN 系ショットキーダイオード 40E を縦型構造にしたものであるため、同様の基本構造を有し、同様の特性を実現できる。従って、この GaN 系ショットキーダイオード 60E を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワー FET 10 (スイッチング素子) の保護素子として用いることにより、第 7 の実施形態の場合と同様の効果を奏することができる。

【0084】 (第 14 の実施形態) 本実施形態は、第 2 の実施形態における GaN 系ショットキーダイオード 40 の代わりに、図 21 に示される縦型の GaN 系ショットキーゲート FET 70 を用いたものである。この GaN 系ショットキーゲート FET 70 では、例えば導電性の n 型 SiC 基板 71 上に、表面の一部が凸部形状に突出している n 型 GaN 層 72 が形成されている。n 型 GaN 層 72 の不純物濃度は、 $2 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度であり、その平坦部の厚さは 500 nm、凸部の幅及び高さはそれぞれ 2000 nm 及び 2000 nm である。なお、n 型 GaN 層 72 の不純物濃度は $2 \times 10^{17} \text{ cm}^{-3}$ 程度に限定する必要はなく、 $2 \times 10^{17} \text{ cm}^{-3}$ 以下であればよい。また、n 型 GaN 層 72 の凸部の表面上には、厚さ 50 nm、 $5 \times 10^{19} \text{ cm}^{-3}$ 程度の高不純物濃度の n' 型 GaN 層 73 が積層されている。

【0085】 また、n 型 GaN 層 72 の平坦部の表面及び凸部の両側面並びに n' 型 GaN 層 73 の側面は、n 型 GaN 層 72 よりもバンドギャップエネルギーの大きい

厚さ 30 nm のアンドープの Al_{0.2}Ga_{0.8}N 層 75 によって被覆されている。ここで、n 型 GaN 層 72 と Al_{0.2}Ga_{0.8}N 層 75 との接触部はヘテロ接合をなすため、そのヘテロ接合面近傍には、図中に破線で模式的に表した 2 次元電子ガスが発生する。

【0086】なお、後に説明するように、n 型 GaN 層 72 の凸部は、GaN 系ショットキーゲート FET 70 のドレイン電流 I_D が縦方向に流れるチャネル領域である。従って、このチャネル領域をドレイン電流 I_D が流れる際に、この 2 次元電子ガスがキャリアとして寄与する。即ち、一種の縦型の HEMT (High Electron Mobility Transistor ; 高電子移動度トランジスタ) 構造となっている。

【0087】また、n⁺ 型 GaN 層 73 上に、Ta-Si 層からなるソース電極 76 が形成されている。即ち、ソース電極 76 が、n⁺ 型 GaN 層 73 を介して n 型 GaN 層 72 の凸部の上面にオーミック接触している。また、n 型 GaN 層 72 の凸部の側面に Al_{0.2}Ga_{0.8}N 層 75 を介してショットキー接觸している Pt 層からなるショットキーゲート電極 77 が形成されている。なお、ショットキーゲート電極 77 をなす材質は、Pt に限定されない。例えば Ti、Ni、W、Ag、Pd、Au 等、n 型 GaN 層 72 に対してショットキーバリアを生じるものであればよいが、より高いショットキーバリアを生じる金属が好適である。また、n 型 SiC 基板 71 の裏面にオーミック接觸する Ta-Si 層からなるドレイン電極 78 が形成されている。

【0088】次に、図 21 の GaN 系ショットキーゲート FET 70 の電流-電圧特性について説明する。n 型 GaN 層 72 の凸部の側面には、Al_{0.2}Ga_{0.8}N 層 75 を介してショットキーゲート電極 77 が形成されているため、このショットキーゲート電極 77 に印加するゲート電圧 V_G が、V_G = 0 の場合であっても、n 型 GaN 層 72 の凸部の両側面には空乏層が形成されている。この状態で、ソース電極 76 とドレイン電極 78 との間に、所定のドレイン電圧 V_D を印加すると、ドレイン電流 I_D は n 型 GaN 層 72 の凸部の両側面の空乏層に挟まれた領域をチャネルとして縦方向に流れる。ドレイン電圧 V_D を増大すると、チャネルの幅が増大して、ドレイン電流 I_D も増大する。

【0089】また、ゲート電圧 V_G の大きさを増減すると、n 型 GaN 層 72 の凸部の両側面の空乏層の広がりが大きくなったり小さくなったりして、2 方向から広がる空乏層に挟まれたチャネルの幅が変化する。このため、ゲート電圧 V_G によってチャネルの幅が制御され、そこを流れるドレイン電流 I_D が制御される。このとき、n 型 GaN 層 72 と Al_{0.2}Ga_{0.8}N 層 75 とのヘテロ接合面近傍に発生する 2 次元電子ガスが、キャリアとしてドレイン電流 I_D に寄与するため、小さなドレイン電圧 V_D でドレイン電流 I_D が急速に立ち上る良好な

立ち上り特性が得られる。

【0090】また、ショットキーゲート電極 77 と n 型 GaN 層 72 の凸部の側面との間には、n 型 GaN 層 72 よりもバンドギャップエネルギーが大きなアンドープの Al_{0.2}Ga_{0.8}N 層 75 が介在しているため、小さなゲート電圧 V_G でも空乏層は大きく広がる。その結果、ゲート電圧 V_G によるドレイン電流 I_D の制御性が向上する。

【0091】次に、図 21 の GaN 系ショットキーゲート FET 70 の製造方法の一例について、図 22 (a) ~ (d) 及び図 23 (a) ~ (c) を用いて説明する。先ず、導電性の n 型 SiC 基板 71 上に、超真空成長装置を用いた例えはガスソース MBE 法により、一連の結晶成長を行う。即ち、原料ガスとして例えは分圧 1. 3 3 × 10⁻⁵ Pa の Ga と分圧 6. 6 5 × 10⁻⁴ Pa の NH₃ と分圧 2 × 10⁻⁷ Pa のドーパントとしての Si を用いて、2 × 10¹⁷ cm⁻³ 程度の低不純物濃度の n 型 GaN 層 72 を厚さ 2500 nm に成長させる。連続して、例えは分圧 1. 3 3 × 10⁻⁵ Pa の Ga と分圧 6. 6 5 × 10⁻⁴ Pa の NH₃ と分圧 1. 3 3 × 10⁻⁶ Pa のドーパントとしての Si を用いて、5 × 10¹⁹ cm⁻³ 程度の高不純物濃度の n⁺ 型 GaN 層 73 を厚さ 50 nm に成長させる (図 22 (a) 参照)。

【0092】次いで、例えはプラズマ CVD 法により、n⁺ 型 GaN 層 73 上に SiO₂ 膜を形成する。続いて、例えは BHF を用いたウエットエッティング法又は CF₄ を用いたドライエッティング法により、SiO₂ 膜をパターニングして、例えは幅 2 μm をもつ SiO₂ パターン 74 を形成する (図 22 (b) 参照)。次いで、例えはメタン系ガスを用いた ECR プラズマエッティング法又は RIBE 法により、SiO₂ パターン 74 をマスクとして n⁺ 型 GaN 層 73 及び n 型 GaN 層 72 を選択的にエッティング除去する。こうして、n 型 GaN 層 44 の表面の一部が突出した高さ 2000 nm、幅 2000 nm の凸部を形成すると共に、その凸部の上面に n⁺ 型 GaN 層 73 を残存させる (図 22 (c) 参照)。

【0093】次いで、SiO₂ パターン 74 をマスクとし、例えは分圧 6. 6 5 × 10⁻⁵ Pa の Ga と分圧 2. 6 6 × 10⁻⁵ Pa の Al と分圧 6. 6 5 × 10⁻⁴ Pa の NH₃ を原料ガスとして、アンドープの Al_{0.2}Ga_{0.8}N 層 75 を厚さ 30 nm に選択成長させる。こうして、n 型 GaN 層 72 の平坦部の表面及び凸部の側面並びに n⁺ 型 GaN 層 73 の側面を Al_{0.2}Ga_{0.8}N 層 75 によって被覆する (図 22 (d) 参照)。

【0094】次いで、SiO₂ パターン 74 を除去する。続いて、リフトオフ法により、n⁺ 型 GaN 層 73 の上面に Ta-Si 層を選択的に形成する。こうして、n 型 GaN 層 44 の凸部の上面に n⁺ 型 GaN 層 73 を介してオーミック接觸する Ta-Si 層からなるソース電極 76 を形成する (図 23 (a) 参照)。次い

で、図 23 (a) に示す工程と同様にして、リフトオフ法により、 $A_{1.2}G_{a0.8}N$ 層 75 上に、 P_t 層を選択的に形成する。こうして、n型 GaN 層 72 の凸部の側面に $A_{1.2}G_{a0.8}N$ 層 75 を介してショットキー接触する P_t 層からなるショットキーゲート電極 77 を形成する（図 23 (b) 参照）。

【0095】次いで、n型 SiC 基板 71 の裏面にオーミック接触する $T_a - S_i$ 層からなるドレイン電極 78 を形成する（図 23 (c) 参照）。このような一連の工程を経て、図 21 に示す GaN 系ショットキーゲート FET 70 を作製する。以上のように実施形態では、GaN 系ショットキーゲート FET 70 が、チャネル領域をなす n型 GaN 層 72 の凸部の上面にソース電極 76 がオーミック接触し、その凸部の側面にショットキーゲート電極 77 がショットキー接触し、n型 SiC 基板 71 の裏面にドレイン電極 78 がオーミック接触している基本構造を有しており、n型 GaN 層 72 の凸部の側面とショットキーゲート電極 77 との間にバンドギャップエネルギーの大きなアンドープの $A_{1.2}G_{a0.8}N$ 層 75 を有しているため、n型 GaN 層 72 と $A_{1.2}G_{a0.8}N$ 層 75 とのヘテロ接合面近傍に発生する 2 次元電子ガスがドレイン電流 I_d に寄与し、ドレイン電流 I_d の良好な立ち上り特性が得られる。また、ショットキーゲート電極 77 とのショットキー接触による空乏層の広がり方が更に大きくなり、ゲート電圧 V_g によるドレイン電流 I_d の制御性を向上させることができる。

【0096】従って、この GaN 系ショットキーゲート FET 70 を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワー FET 10 (スイッチング素子) の保護素子として用いることにより、損失を低下させ、高いインバータ効率又はコンバータ効率を達成することが可能になり、電力変換装置の高効率化を実現できる。

【0097】(第 15 の実施形態) 本実施形態は、第 14 の実施形態における GaN 系ショットキーゲート FET 70 の代わりに、図 24 に示される縦型の GaN 系ショットキーゲート FET 70 A を用いたものである。

【0098】この GaN 系ショットキーゲート FET 70 A では、図 21 の GaN 系ショットキーゲート FET 70 における $A_{1.2}G_{a0.8}N$ 層 75 の代わりに、厚さ 50 nm のアンドープの GaN 層 79 が設けられている。即ち、n型 GaN 層 72 の凸部の側面とショットキーゲート電極 77 との間に、GaN 層 79 が介在している。

【0099】なお、図 24 の GaN 系ショットキーゲート FET 70 A の製造方法は、 $A_{1.2}G_{a0.8}N$ 層 75 を形成する代わりに GaN 層 79 を形成する点を除けば、第 14 の実施形態における GaN 系ショットキーゲート FET 70 の場合と基本的に同様であるため、その説明は省略する。以上のように実施形態では、GaN 系

ショットキーゲート FET 70 A が、第 14 の実施形態における GaN 系ショットキーゲート FET 70 と同様の基本構造を有し、同様の特性を実現できることに加え、更に n型 GaN 層 72 の凸部の側面とショットキーゲート電極 77 との間にアンドープの GaN 層 79 を有するため、ショットキーゲート電極 77 とのショットキー接触による空乏層の広がり方が更に大きくなり、ゲート電圧 V_g によるドレイン電流 I_d の制御性を向上させることができる。従って、この GaN 系ショットキーゲート FET 70 A を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワー FET 10 (スイッチング素子) の保護素子として用いることにより、第 14 の実施形態の場合と同様又はそれ以上の効果を奏することができる。

【0100】(第 16 の実施形態) 本実施形態は、第 14 の実施形態における GaN 系ショットキーゲート FET 70 の代わりに、図 25 に示される縦型の GaN 系ショットキーゲート FET 70 B を用いたものである。この GaN 系ショットキーゲート FET 70 B では、図 21 の GaN 系ショットキーゲート FET 70 における $A_{1.2}G_{a0.8}N$ 層 75 が形成されておらず、n型 GaN 層 72 の凸部の側面にショットキーゲート電極 77 が直接にショットキー接触している。なお、図 25 の GaN 系ショットキーゲート FET 70 B の製造方法は、 $A_{1.2}G_{a0.8}N$ 層 75 を形成する工程を省略すれば、第 14 の実施形態における GaN 系ショットキーゲート FET 70 の場合と基本的に同様であるため、その説明は省略する。

【0101】以上のように実施形態では、GaN 系ショットキーゲート FET 70 B が、第 14 の実施形態における GaN 系ショットキーゲート FET 70 と同様の基本構造を有し、同様の特性を実現できる。従って、この GaN 系ショットキーゲート FET 70 B を、電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路におけるパワー FET 10 (スイッチング素子) の保護素子として用いることにより、第 14 の実施形態の場合と同様の効果を奏することができる。

【0102】なお、第 2 ~ 第 16 の実施形態では、n型 GaN 層 44、62、72 の凸部の幅は 2000 nm となっているが、この例示した値に限定されるものではない。この凸部の幅は、例えば 5 nm ~ 10 μm の範囲内にあればよく、好ましくは 10 nm ~ 5 μm の範囲内に、更に好ましくは 50 nm ~ 3 μm の範囲内にあればよい。

【0103】また、第 2 ~ 第 16 の実施形態では、GaN 系の III-V 族窒化物半導体層を結晶成長する際にガスソース MBE 法を用いているが、その製法はガスソース MBE 法に限定されるものではなく、例えば MOCVD (Metal Organic Chemical Vapor Deposition ; 有機金属化学気相成長) 法やハイドライド気相成長法等を代わ

りに用いてもよい。

【0104】また、第8～第16の実施形態では、導電性のn型SiC基板61、71を用いているが、例えばSiC、Si、GaN、AlN、GaAs、GaP等からなる導電性の半導体基板を代わりに用いてもよい。また、第1～第3、第8、第9及び第14の実施形態では、2次元電子ガスを発生させるヘテロ接合構造として、GaN23層とAlGaN層24、n型GaN層44とAlGaN層46、n型GaN層62とAlGaN層63、n型GaN層72とAlGaN層75の組み合わせによるGaN/AlGaN接合を用いているが、例えばInGaN、AlInGaN、AlInGaN、AlGaN、AlGaN等のIII-V族窒化物半導体層を組み合わせたヘテロ接合を代わりに用いてもよい。また、ヘテロ接合を用いずに、上記のAlGaN層の代わりに、Siをドープしたn型GaN層を用いてもよい。

【0105】(第17の実施形態)本実施形態は、図26(a)に示されるように、第1の実施形態におけるスイッチング素子であるパワーFET10として、GaN系MESFET10Aを用い、このGaN系MESFET10Aに、保護素子としてのGaN系ショットキーダイオード20Aが内蔵されているものである。具体的には、GaN系MESFET10Aのソース・ドレイン間に、横型のGaN系ショットキーダイオード20Aが接続されている。

【0106】また、図26(b)に示されるように、これらのGaN系MESFET10A及びGaN系ショットキーダイオード20Aは、同一基板上に集積されている。即ち、例えばサファイア基板21上に、GaNバッファ層22、アンドープのGaN層23及びアンドープのAlGaN層24が順に積層して形成されている。また、GaN層23とAlGaN層24とのヘテロ接合部に接続して、2つのn型GaN層26がGaN層23上に形成されている。

【0107】更に、2つのn型GaN層26上にそれぞれオーミック接触して、ソース電極とカソード電極とを兼用する電極(以下、単に「ソース・カソード兼用電極」という)27a及びドレイン電極27bが形成されている。また、2つのn型GaN層26に挟まれたAlGaN層24上にショットキー接觸して、ゲート電極28aが形成されている。また、ソース・カソード兼用電極27aを間に挟んでゲート電極28aの反対側のAlGaN層24上にショットキー接觸して、アノード電極28bが形成されている。

【0108】即ち、本実施形態は、スイッチング素子(パワーFET10)としてのGaN系MESFET10A及びその保護素子としてのGaN系ショットキーダイオード20を同一基板上に集積したものである。次に、図26(b)のGaN系MESFET10A及びGaN系ショットキーダイオード20Aの製造方法の一例

10

20

30

40

50

について、図27(a)～(d)を用いて説明する。

【0109】先ず、半絶縁性のサファイア基板21上に、厚さ5nmのGaNバッファ層22、厚さ3000nmのアンドープのGaN層23、厚さ30nmのアンドープのAlGaN層24を順に成長させる。こうして、GaN層23とAlGaN層24とのヘテロ接合構造を形成する(図27(a)参照)。次いで、AlGaN層24上に形成したSiO₂膜を選択的にエッチング除去し、2箇所に開口部を有するSiO₂パターン25を形成した後、このSiO₂パターン25をマスクとしてAlGaN層24及びGaN層23の一部を選択的にエッチング除去し、GaN層23表面を露出させる(図27(b)参照)。

【0110】次いで、これら2箇所の露出させたGaN層23上にそれぞれ、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度の高濃度にSiを添加したn型GaN層26を選択的に成長させる(図27(c)参照)。次いで、これら2つのn型GaN層26にそれぞれオーミック接觸するTaSi/Au積層構造のソース・カソード兼用電極27a及びドレン電極27bを形成する。また、これら2つのn型GaN層26に挟まれたAlGaN層24上にショットキー接觸するTi/WSi/Au積層構造のゲート電極28aを形成すると共に、ソース・カソード兼用電極27aを間に挟んでゲート電極28aの反対側のAlGaN層24上にショットキー接觸するTi/WSi/Au積層構造のアノード電極28bを形成する(図27(c)参照)。

【0111】このような一連の工程を経て、図26(b)に示すGaN系MESFET10A及びGaN系ショットキーダイオード20Aが同一基板上に集積されているGaN系半導体装置を作製する。以上のように本実施形態では、GaN系MESFET10A及びGaN系ショットキーダイオード20Aが、共通の材料を用いた共通の工程によって同時的に形成される。即ち、GaN系MESFET10Aを作製する工程で、選択的エッチングや選択的結晶成長のためのマスクパターンに修正を加えるだけで、何ら工程を煩雑化したり増加したりする必要はない。従って、スイッチング素子とGaN系ショットキーダイオードをそれぞれ各別の電子部品として作製し、接続する場合に較べて、製造コストの低減を実現するのみならず、集積化による部品の小型化を達成し、延いては電力変換装置の小型化を実現することができる。

【0112】また、GaN系ショットキーダイオード20Aが、同一基板上に形成されているGaN系MESFET10Aの保護素子として機能する。そして、このGaN系半導体装置を電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路のスイッチング素子に用いる場合、その構成は第1の実施形態の図3又は図4(a)～(d)に例示される場合と同様であり、その

作用効果も上記第1の実施形態において述べたものと同様である。

【0113】但し、この電力変換装置の場合、前述した高いインバータ効率又はコンバータ効率の達成に伴い、GaN系ショットキーダイオード20Aを内蔵したGaN系MESFET10Aは、同一性能の従来のpn接合構造のツェナーダイオードを内蔵したSi系MOSFETと比較して、そのチップ面積を縮小することが可能になる。また、インバータ回路又はコンバータ回路からなる電力変換回路に使用する個数も大幅に低減することが可能になる。従って、電力変換装置用の大幅な小型化を実現することができる。

【0114】因みに、電力変換装置用のスイッチング素子として、図26(a)、(b)に示されるようなGaN系ショットキーダイオード20Aを内蔵したGaN系MESFET10Aを試作したところ、同一性能の従来のpn接合構造のツェナーダイオードを内蔵したSi系MOSFETの場合に較べて、チップ面積を例えば1cm²から16mm²に縮小することができた。また、上記の試作したスイッチング素子を電力変換装置の電力変換回路としてのインバータ回路に組み込んだ場合には、必要とするチップ数を従来の場合の半分以下に低減することができた。また、電力変換回路としてのコンバータ回路に組み込んだ場合には、必要とするチップ数を従来の場合の例えれば32個から8個に低減することができた。

【0115】なお、本実施形態では、スイッチング素子(パワーFET10)としてGaN系MESFET10Aと第1の実施形態における保護素子としてのGaN系ショットキーダイオード20とを同一基板上に集積した場合について説明したが、スイッチング素子とその保護素子との集積は、この組合せに限定されるものではない。例えばGaN系MESFET10Aと第2～第7の実施形態における保護素子としてのGaN系ショットキーダイオード40、40A～40Eの何れかとを同一基板上に集積することも可能である。

【0116】(第18の実施形態) 本実施形態は、図28(a)に示されるように、第1の実施形態におけるパワーFET10の代わりに、IGBT80を用いたものである。具体的には、スイッチング素子としてのIGBT80のエミッタ・コレクタ間に、保護素子としてのGaN系ショットキーダイオード20が接続されている。

【0117】ここで、図28(b)に示されるGaN系ショットキーダイオード20は、第1の実施形態の図1(b)に示されるものと同一であり、その構造及びその製造方法についての説明は省略する。また、図28(a)に示したIGBT80及びGaN系ショットキーダイオード20を電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路に用いる場合には、第1の実施形態の図3又は図4(a)～(d)に例示される回路図において、パワーFET10をIGBT80に

よって置換すればよく、その基本的な回路構成は同一である。このため、この場合の電力変換装置の電力変換回路であるインバータ回路又はコンバータ回路の図示は省略する。

【0118】以上のように本実施形態では、スイッチング素子であるIGBT80の保護素子として用いられるGaN系ショットキーダイオード20が、600Vを超える耐圧を有していることから、IGBT80は少なくとも500V以上の高耐圧での例えれば100A以上の大電流動作が容易に可能になる。また、第1の実施形態の場合と同様、動作瞬時の突入電流又はサージ電圧が印加する場合であっても、GaN系ショットキーダイオード20が保護素子として機能する前にIGBT80が発熱により破壊されることを防止することができるため、安定動作が保証され、電力変換装置の信頼性を高めることができる。

【0119】なお、本実施形態では、スイッチング素子としてのIGBT80に第1の実施形態における保護素子としてのGaN系ショットキーダイオード20を組み合わせた場合について説明したが、例えればIGBT80に第2～第16の実施形態における保護素子としてのGaN系ショットキーダイオード40、40A～40E、60、60A～60E又はGaN系ショットキーゲートFET70、70A、70Bの何れかを組み合わせることも可能である。

【0120】

【発明の効果】以上詳細に説明したように、本発明によれば、電力変換装置の電力変換回路を構成するスイッチング素子の保護素子として、オン電圧が1V以下と低く、耐圧が300V以上と高いGaN系ショットキーダイオード又はGaN系FETが用いられることにより、スイッチング素子の低オン電圧動作が容易に可能になる。このため、電力変換回路として例えればインバータ回路又はコンバータ回路を用いる場合、損失を低下させて、高いインバータ効率又はコンバータ効率を達成することが可能になり、電力変換装置の高効率化を実現することができる。また、動作瞬時の突入電流又はサージ電圧が印加する場合であっても、高耐圧のGaN系ショットキーダイオードが保護素子として機能するため、スイッチング素子の安定動作が保証され、電力変換装置の信頼性を高めることができる。更に、スイッチング素子の高耐圧での大電流動作が容易に可能になる。

【0121】また、電力変換装置の電力変換回路を構成するスイッチング素子としてのGaN系FETとその保護素子としてのGaN系ショットキーダイオードとが同一の基板上に集積されていることにより、従来のpn接合構造のツェナーダイオードを内蔵したSi系MOSFETと比較して、そのチップ面積を縮小することが可能になると共に、電力変換回路に使用する個数も大幅に低減することができる。このため、電力変換装置用の

大幅な小型化を実現することができる。

【図面の簡単な説明】

【図 1】(a) は本発明の第 1 の実施形態に係るスイッチング素子としてのパワー F E T 及びその保護素子としての G a N 系ショットキーダイオードを示す回路図であり、(b) はその G a N 系ショットキーダイオードを示す概略断面図である。

【図 2】(a) ~ (d) はそれぞれ図 1 (b) に示される G a N 系ショットキーダイオードの製造方法を説明するための工程断面図である。

【図 3】図 1 (a)、(b) に示されるパワー F E T 及び G a N 系ショットキーダイオードを用いたインバータ回路を有する電力変換装置を示す回路図である。

【図 4】(a) ~ (d) はそれぞれ図 1 (a)、(b) に示されるパワー F E T 及び G a N 系ショットキーダイオードを用いたコンバータ回路を有する電力変換装置を示す回路図である。

【図 5】本発明の第 2 の実施形態に係る横型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 6】図 5 の G a N 系ショットキーダイオードの製造方法の一例を説明するための工程断面図 (その 1) である。

【図 7】図 5 の G a N 系ショットキーダイオードの製造方法の一例を説明するための工程断面図 (その 2) である。

【図 8】図 5 の G a N 系ショットキーダイオードの製造方法の他の例を説明するための工程断面図である。

【図 9】本発明の第 3 の実施形態に係る横型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 10】本発明の第 4 の実施形態に係る横型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 11】本発明の第 5 の実施形態に係る横型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 12】本発明の第 6 の実施形態に係る横型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 13】本発明の第 7 の実施形態に係る横型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 14】本発明の第 8 の実施形態に係る縦型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 15】図 14 の G a N 系ショットキーダイオードの製造方法の一例を説明するための工程断面図である。

【図 16】本発明の第 9 の実施形態に係る縦型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 17】本発明の第 10 の実施形態に係る縦型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 18】本発明の第 11 の実施形態に係る縦型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 19】本発明の第 12 の実施形態に係る縦型の G a N 系ショットキーダイオードを示す概略断面図である。

【図 20】本発明の第 13 の実施形態に係る縦型の G a N 系ショットキーダイオードを示す概略断面図である。

N 系ショットキーダイオードを示す概略断面図である。

【図 21】本発明の第 14 の実施形態に係る縦型の G a N 系ショットキーゲート F E T を示す概略断面図である。

【図 22】図 21 の G a N 系ショットキーゲート F E T の製造方法の一例を説明するための工程断面図 (その 1) である。

【図 23】図 21 の G a N 系ショットキーゲート F E T の製造方法の一例を説明するための工程断面図 (その 2) である。

【図 24】本発明の第 15 の実施形態に係る縦型の G a N 系ショットキーゲート F E T を示す概略断面図である。

【図 25】本発明の第 16 の実施形態に係る縦型の G a N 系ショットキーゲート F E T を示す概略断面図である。

【図 26】(a) は本発明の第 17 の実施形態に係るスイッチング素子としての G a N 系 M E S F E T 及びその保護素子としての G a N 系ショットキーダイオードを示す回路図であり、(b) はその G a N 系ショットキーダイオードを内蔵している G a N 系 M E S F E T を示す概略断面図である。

【図 27】(a) ~ (d) はそれぞれ図 26 (b) に示される G a N 系ショットキーダイオードを内蔵している G a N 系 M E S F E T の製造方法を説明するための工程断面図である。

【図 28】(a) は本発明の第 18 の実施形態に係るスイッチング素子としての I G B T 及びその保護素子としての G a N 系ショットキーダイオードを示す回路図であり、(b) はその G a N 系ショットキーダイオードを示す概略断面図である。

【符号の説明】

1 0 スイッチング素子としてのパワー F E T
1 0 A スイッチング素子としての G a N 系 M E S F E T

2 0 、 2 0 A 、 4 0 、 4 0 A ~ 4 0 E 、 6 0 、 6 0 A ~ 6 0 E 保護素子としての G a N 系ショットキーダイオード
2 1 、 4 1 絶縁性又は半絶縁性のサファイア基板
2 2 、 4 2 G a N パッファ層

2 3 、 5 4 、 6 9 、 7 9 アンドープの G a N 層

2 4 アンドープの A 1 G a N 層

2 6 、 4 4 、 7 2 n 型 G a N 層

2 7 、 5 2 カソード電極

2 7 a ソース・カソード兼用電極

2 7 b 、 7 8 ドレイン電極

2 8 、 2 8 b アノード電極

2 8 a ゲート電極

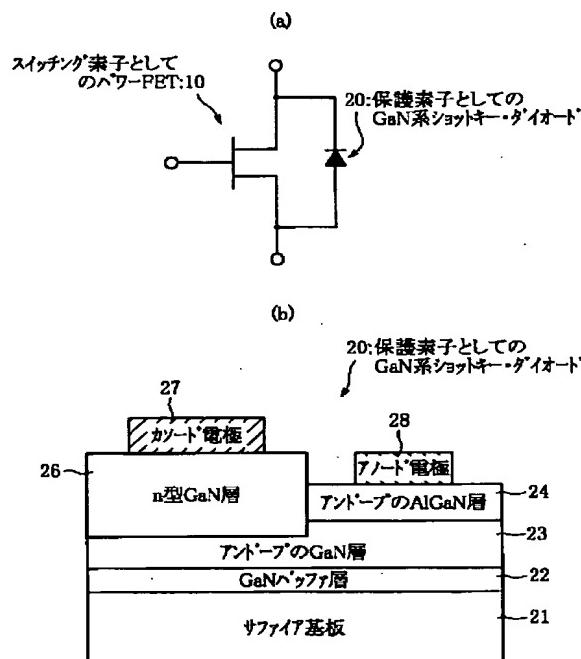
3 0 電力変換装置

3 1 交流電源

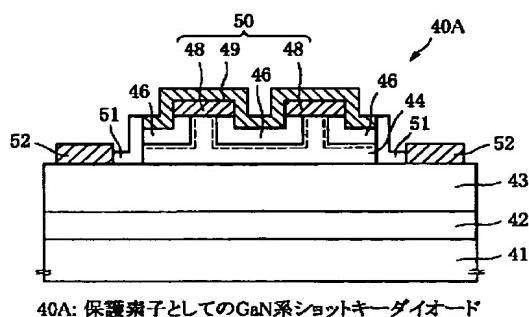
- 3 2 整流回路
 3 4 DC-ACインバータ回路
 3 4 a、3 4 b、…、3 4 d DC-DCコンバータ
 回路
 4 3、7 3 n' 型GaN層
 4 6、6 3、7 5 アンドープのAl_{0.2}Ga_{0.8}N
 層
 4 8 第1のアノード電極としてのTi電極
 4 9 第2のアノード電極としてのPt電極
 5 0 複合アノード電極
 6 1 導電性のn型SiC基板

- 6 2 n型GaN層
 6 4 第1のアノード電極としてのTi電極
 6 5 第2のアノード電極としてのPt電極
 6 6 複合アノード電極
 6 8 カソード電極
 7 0、7 0 A、7 0 B 保護素子としてのGaN系シ
 ョットキーゲートFET
 7 1 導電性のn型SiC基板
 7 6 ソース電極
 10 7 7 ショットキーゲート電極
 8 0 スイッチング素子としてのIGBT

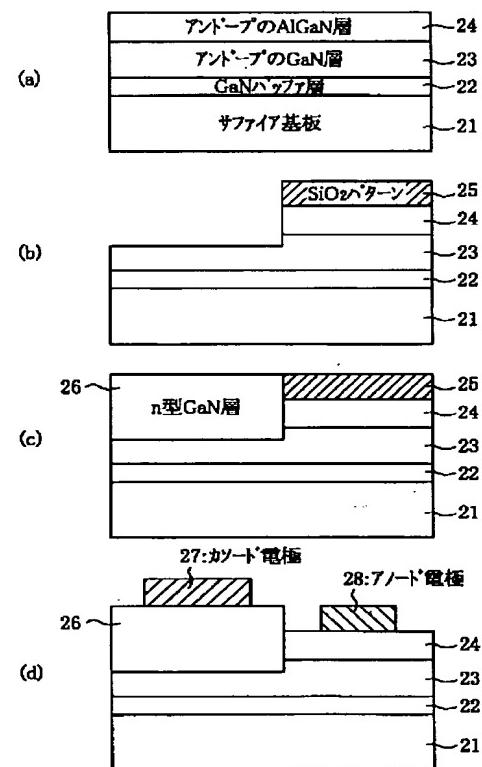
【図1】



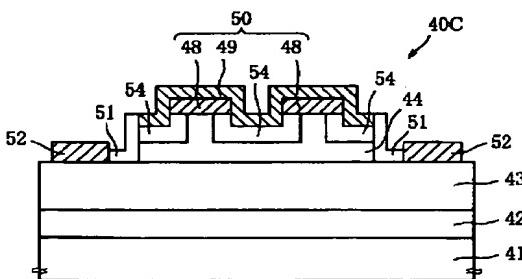
【図9】



【図2】

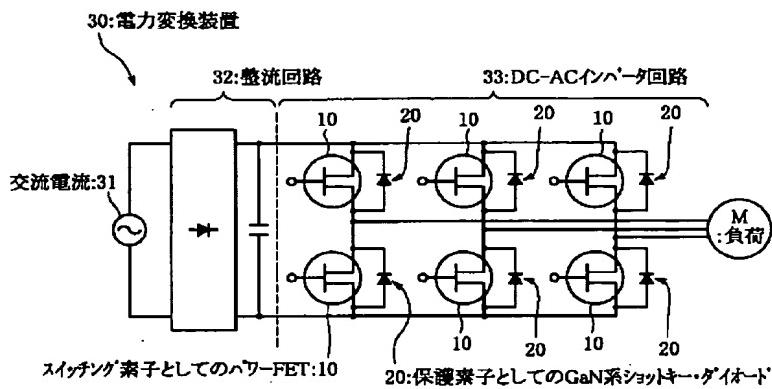


【図11】

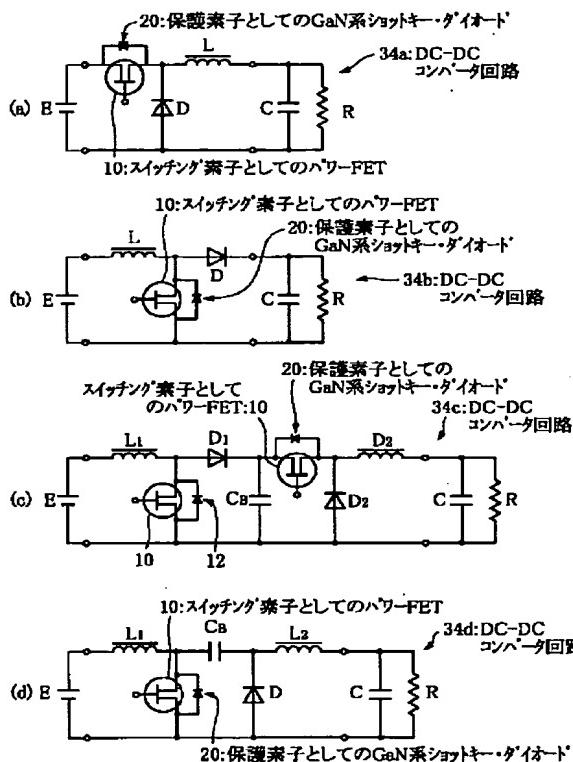


40C: 保護素子としてのGaN系ショットキーダイオード

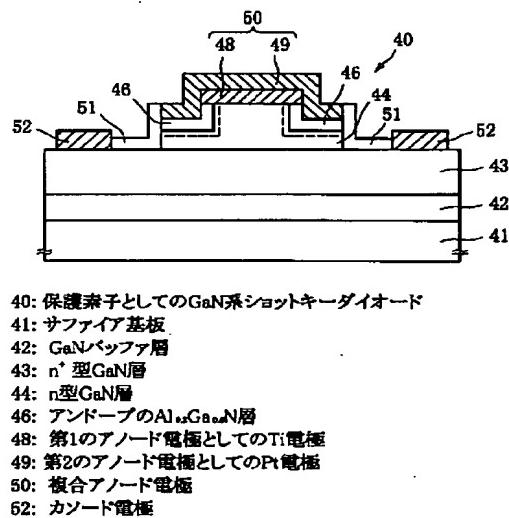
【図 3】



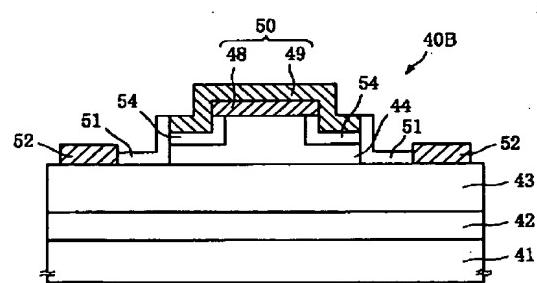
【図 4】



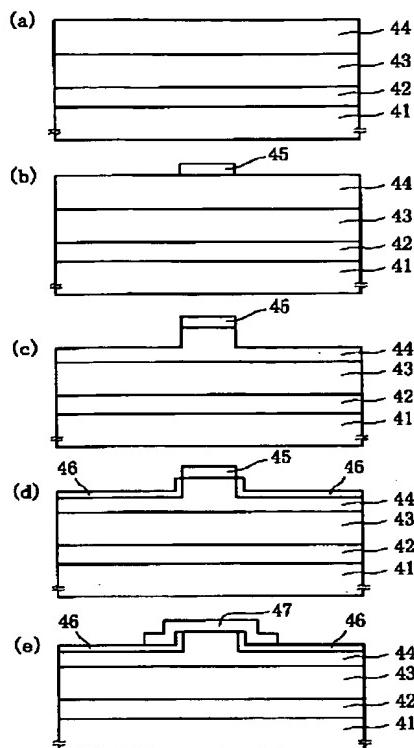
【図 5】



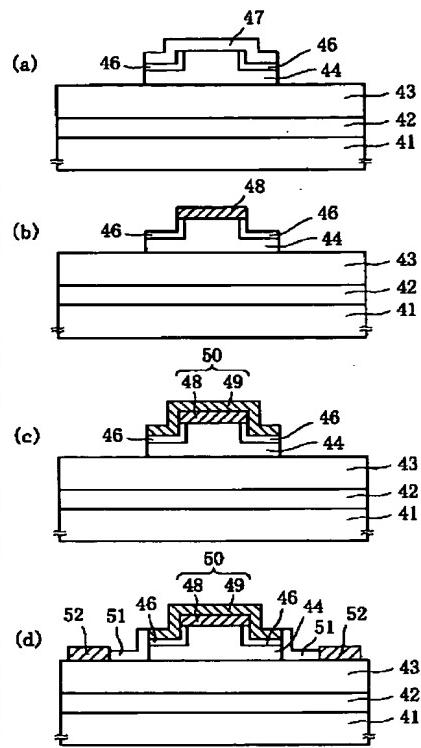
【図 10】



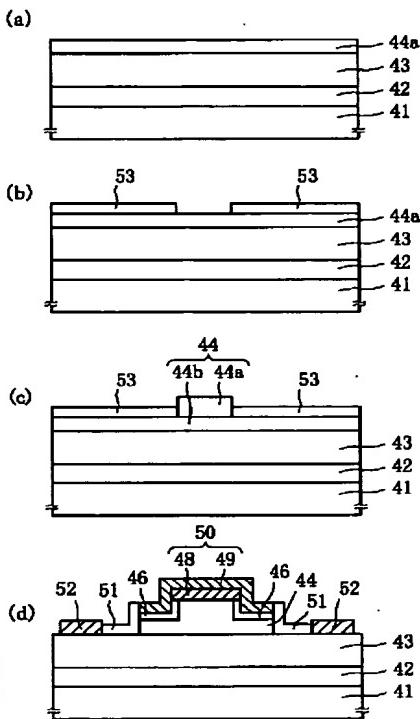
【図 6】



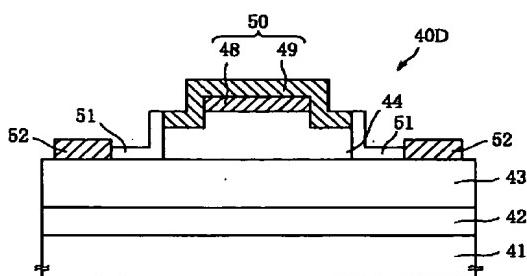
【図 7】



【図 8】

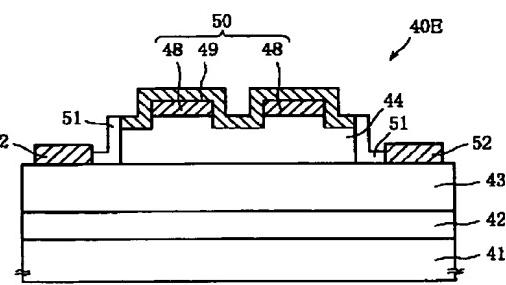


【図 12】



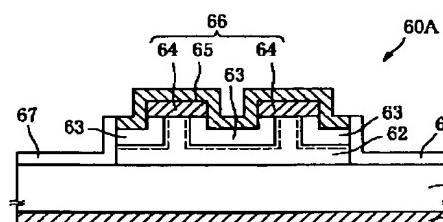
40D: 保護素子としてのGaN系ショットキーダイオード

【図 13】

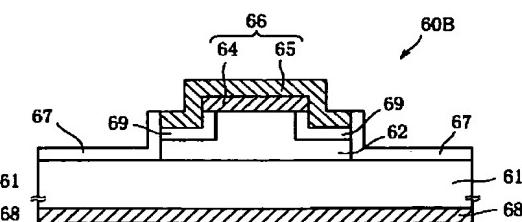


40E: 保護素子としてのGaN系ショットキーダイオード

【図 16】



60A: 保護素子としてのGaN系ショットキーダイオード

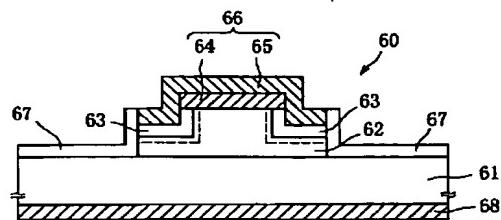


60B: 保護素子としてのGaN系ショットキーダイオード

69: アンドープのGaN層

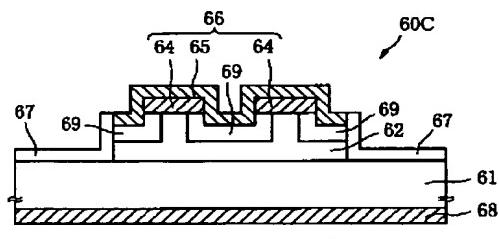
【図 17】

【図 14】



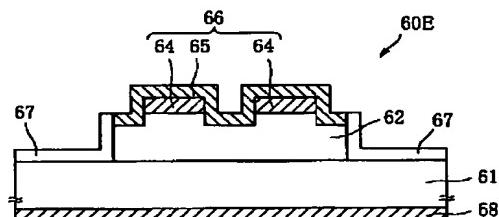
60: 保護素子としてのGaN系ショットキーダイオード
61: n型SiC基板
62: n型GaN層
63: アンドープのAl_xGaN層
64: 第1のアノード電極としてのTi電極
65: 第2のアノード電極としてのPt電極
66: 複合アノード電極
67: カソード電極

【図 18】



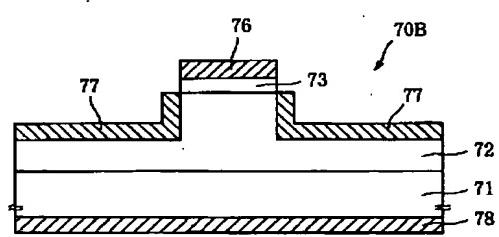
60C: 保護素子としてのGaN系ショットキーダイオード

【図 20】



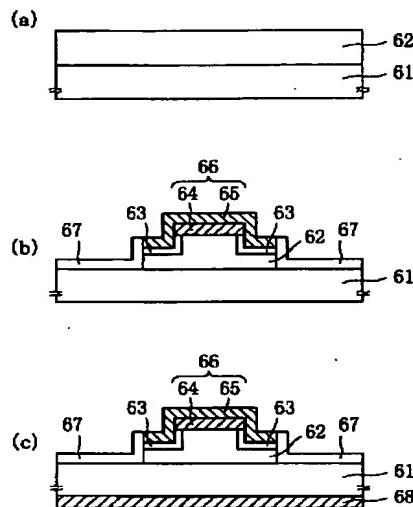
60E: 保護素子としてのGaN系ショットキーダイオード

【図 25】

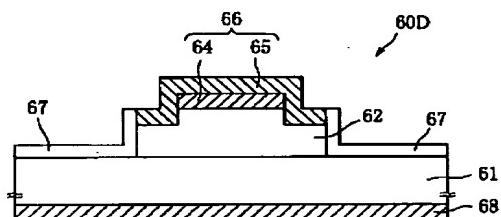


70B: 保護素子としてのGaN系ショットキーゲートFET

【図 15】

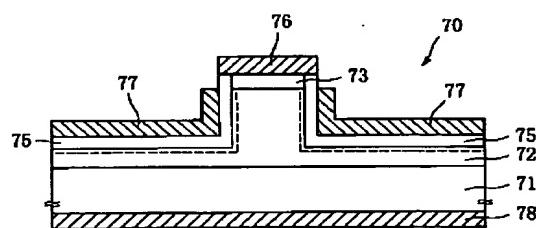


【図 19】



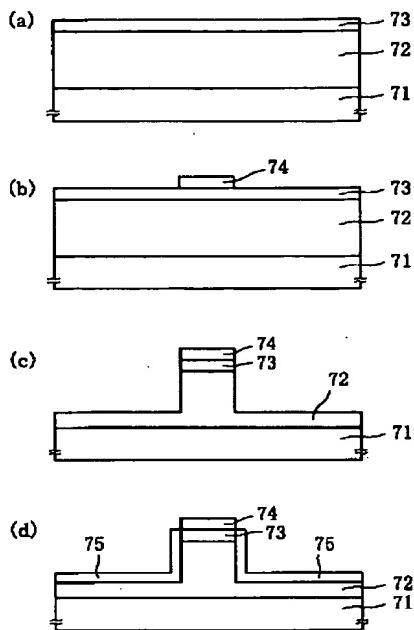
60D: 保護素子としてのGaN系ショットキーダイオード

【図 21】

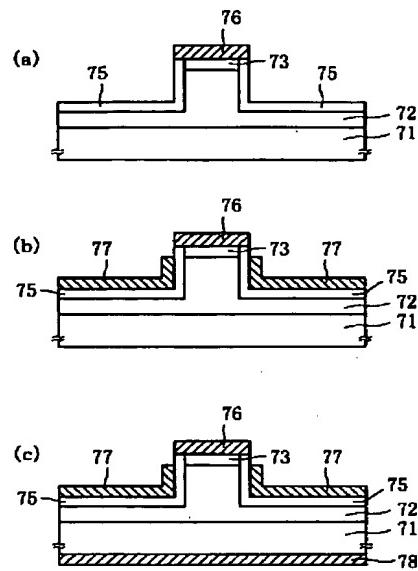


70: 保護素子としてのGaN系ショットキーゲートFET
71: n型SiC基板
72: n型GaN層
73: n⁺型GaN層
75: アンドープのAl_xGaN層
76: ソース電極
77: ショットキーゲート電極
78: ドレイン電極

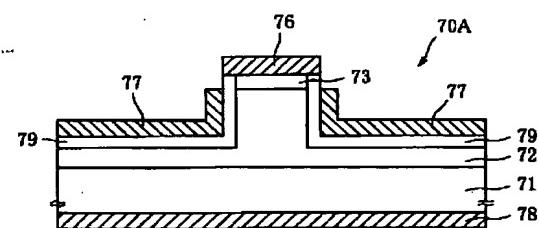
【図22】



【図23】

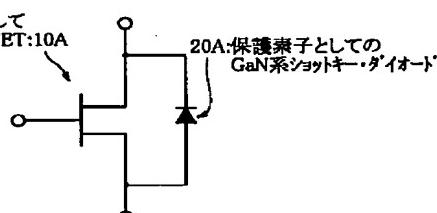


【図24】

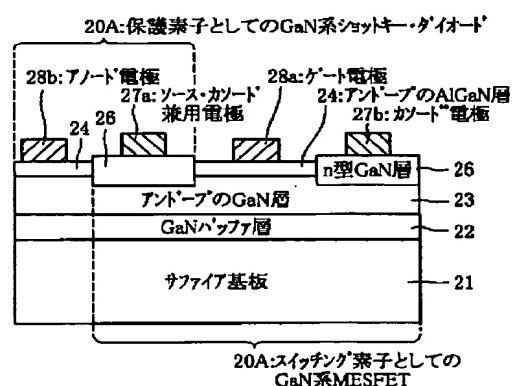


スイッチング素子としてのGaN系MESFET:10A

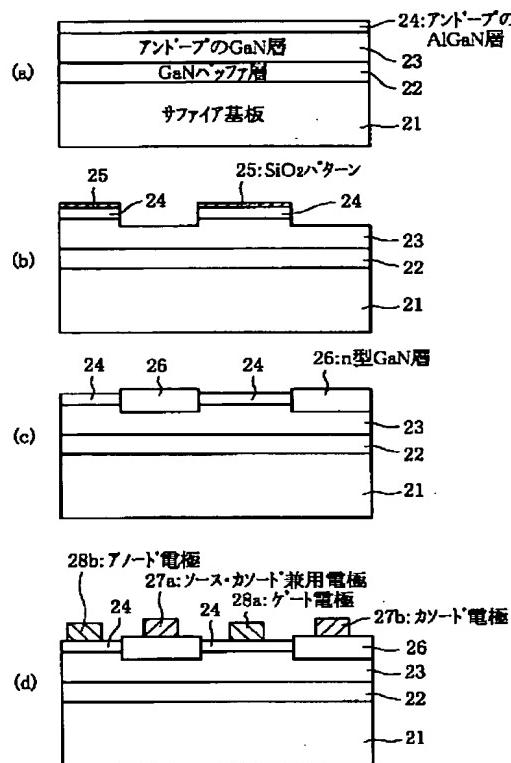
(a)



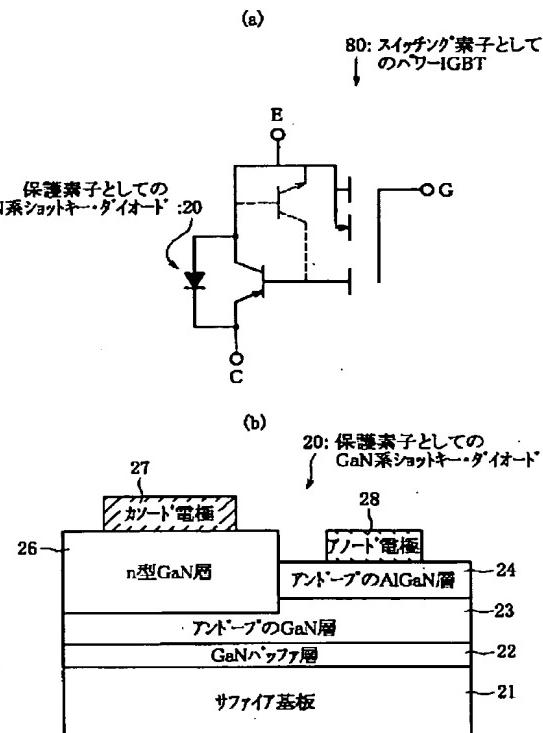
(b)



【図27】



【図28】



フロントページの続き

(51) Int. Cl. 7 識別記号

H 0 1 L	27/088	
	27/095	
	29/41	
	29/78	6 5 5
		6 5 7
	29/812	
	29/872	

F I テーマコード (参考)

H 0 1 L	29/44	S
	27/08	3 1 1 B
	27/04	H

F ターム(参考) 4M104 AA03 AA04 AA09 BB05 BB06
BB07 BB08 BB09 BB14 BB18
BB27 CC01 CC03 DD16 DD37
DD68 EE09 EE16 FF01 FF02
FF06 FF13 FF22 FF32 GG03
GG08 GG12 GG18 HH14 HH20
5F038 BG03 BH04 BH15 CD16 DF01
EZ02 EZ12 EZ14 EZ15 EZ20
5F048 AA02 AC10 BA01 BA14 CC06
5F102 GA14 GB01 GB04 GC01 GC07
GD01 GJ10 GL04 GM04 GQ01
GT03 HC01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.